

# 次世代トランジスタの量子輸送シミュレーションに関する研究

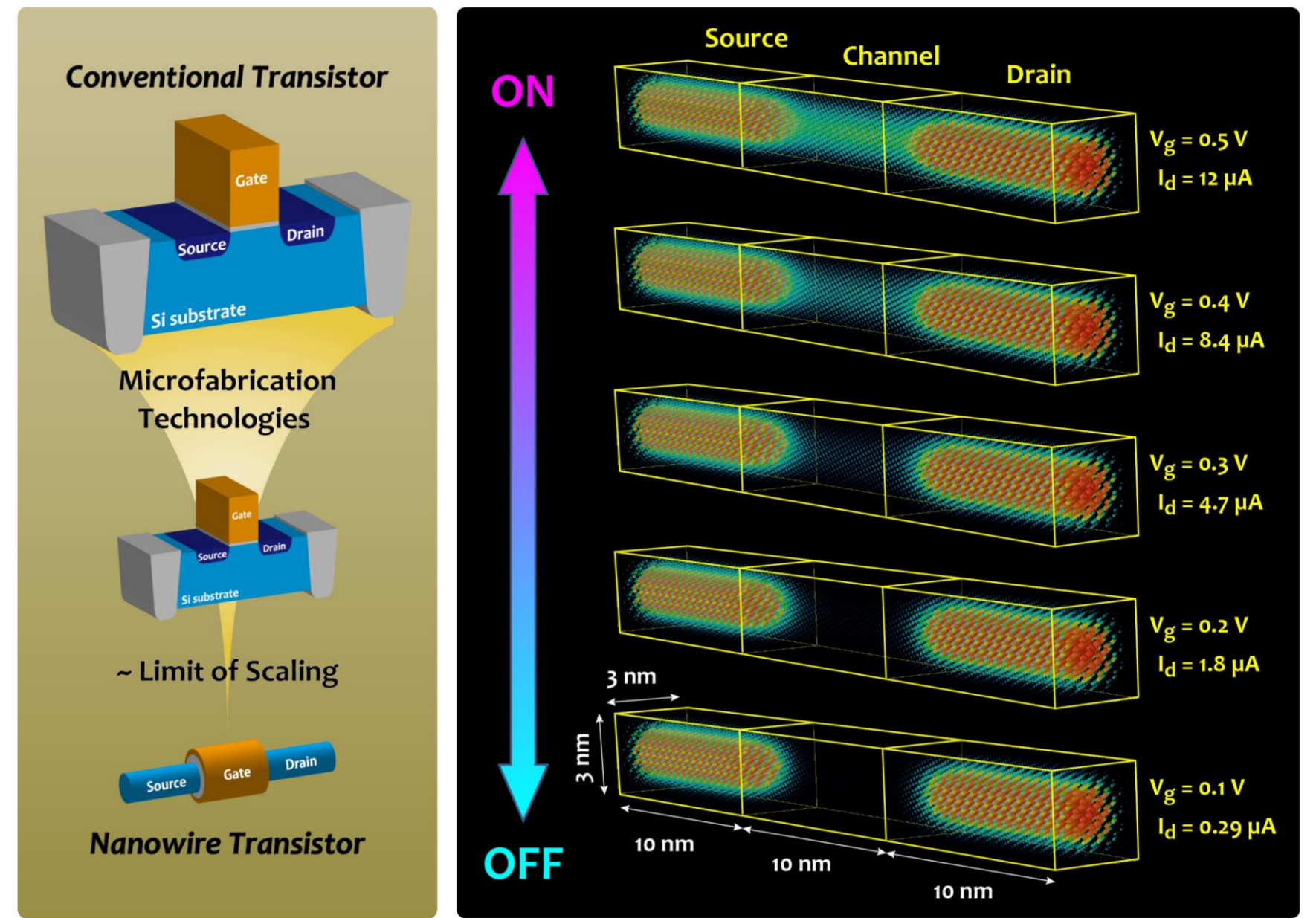


## 研究背景

極限までデバイスの微細化が追求され、MOSTトランジスタのチャネル長は既に30 nmを切り、研究レベルでは10 nm以下のデバイス動作も報告されている。近年、単純なスケールリング則のみによるデバイス性能向上の限界が顕在化してきた。現在、この状況の打破を目指して、様々なデバイス構造・材料が提案・試作されており、そのような新構造・新材料デバイスの性能を予測できるシミュレータの開発が急務となっている。

## 研究目的

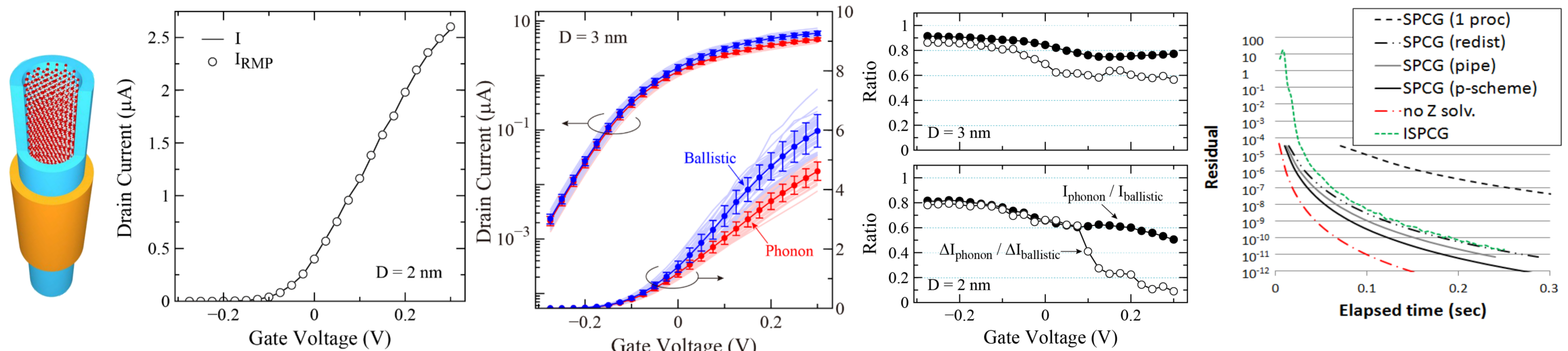
ポストシリコンとなる次世代の新材料ナノワイヤトランジスタの性能予測に向けて、非平衡グリーン関数(NEGF)法に基づく量子輸送デバイスシミュレータの開発とその性能評価を研究目的とする。



(a) Transistor Scaling (b) Carrier Density Profile in Nanowire Transistor

## 昨年度の研究成果

1. JST-CRESTで開発した量子輸送シミュレータをスーパーコンピュータSX-ACEに移植し、動作チェック・性能評価を行なった。ポアソン方程式との結合に関しては、分散型のフラットな並列化行列解法の開発を行い、前処理計算における配列再分散のコストが課題であることを見いだした。
2. 直径2~3 nm, ゲート長8 nmのシリコンナノワイヤトランジスタのシミュレーションを行い、ナノワイヤ径が小さい場合、界面付近の原子配置乱れによる電流ばらつきをフォノン散乱が大幅に低減することを見いだした。
3. JST-CRESTで開発したシミュレータと第一原理計算の連成手法に関して、東京大学押山淳研究室のグループと検討し、第一原理計算との連成に関する手法を考案した。



ナノワイヤトランジスタ

ランダム行列フォノン(O)と厳密的な手法(線)との比較

原子配置乱れがナノワイヤトランジスタの伝達特性に与える影響

フォノン散乱を考慮した電流と無視した電流の比のゲート電圧依存性(●). ○は電流ばらつきのみ

32個のMPIプロセスを用いてSX-ACEで計測した実行時間と収束性能の関係

## 本年度の研究項目

1. 平成27年度にSX-ACEに移植したシミュレータを用いて、直径10nmを越えるようなシリコンナノワイヤトランジスタの大規模量子輸送シミュレーションを行う。
2. ポアソン方程式の並列化行列解法に関して、前処理計算の通信コストを削減するために、前処理部分の通信コストを削減する手法および通信を無くした通信フリーな手法をSX-ACEに実装し、性能評価を行う。
3. 東京大学押山研究室が開発した実空間DFTプログラムとNEGFプログラムとを連成させ、次世代ナノワイヤトランジスタの弾道輸送特性を計算する。



大阪大学  
OSAKA UNIVERSITY



小田中 紳二  
大阪大学

|        |      |             |
|--------|------|-------------|
| 森 伸也   | 大阪大学 | 研究統括・量子輸送理論 |
| 鎌倉 良成  | 大阪大学 | デバイスモデリング   |
| 小田中 紳二 | 大阪大学 | 数値計算手法      |
| 若谷 彰良  | 甲南大学 | 高性能計算       |
| 美里劫 夏南 | 大阪大学 | 非平衡グリーン関数法  |
| 鍾 菁廣   | 大阪大学 | 並列計算        |