

15-NA07

次世代トランジスタの量子輸送シミュレーションに関する研究

森 伸也 (大阪大学)

概要 ワークステーション上で開発を行ってきた量子輸送シミュレータを、大阪大学サイバーメディアセンターのスーパーコンピュータSX-ACEに移植し、動作確認を行った。移植したシミュレータを用いて、直径 2~4 nm、ゲート長 8~10 nm のシリコンナノワイヤトランジスタのシミュレーションを行った。フォノン散乱を無視した弾道輸送条件の元では、界面付近における原子配置乱れが、ドレイン電流に大きなばらつきをもたらすが、フォノン散乱を導入することにより、ナノワイヤ径が小さい場合、フォノン散乱がばらつきを大幅に低減することを見いだした。ポアソン方程式とカップリングした非平衡グリーン関数法の解法では、Splitting-Up 前処理付き共役勾配法を分散メモリシステム上で MPI を用いて実装し、SX-ACE 上で性能評価を行った。実装は、ノード内及びノード間において MPI プロセスを生成させ、必要に応じて通信を行うフラットなものとした。その結果、前処理計算における配列再分散のコストが大きいことなどがわかった。

1. 共同研究に関する情報

(1) 共同研究を実施した拠点名

大阪大学

(2) 共同研究分野

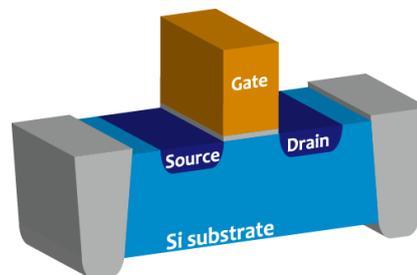
- 超大規模数値計算系応用分野
- 超大規模データ処理系応用分野
- 超大容量ネットワーク技術分野
- 超大規模情報システム関連研究分野

(3) 参加研究者の役割分担

- ・ 森 伸也 (大阪大学・大学院工学研究科)
研究統括・量子輸送理論
- ・ 鎌倉良成 (大阪大学・大学院工学研究科)
デバイスモデリング
- ・ 小田中紳二 (大阪大学・サイバーメディアセンター) 数値計算手法
- ・ 若谷彰良 (甲南大学・知能情報学部)
高性能計算
- ・ 美里劫夏南 (大阪大学・大学院工学研究科)
非平衡グリーン関数法
- ・ 鍾 菁廣 (大阪大学・サイバーメディアセンター) 並列計算

2. 研究の目的と意義

ポストシリコンとなる次世代の新材料ナノワイヤトランジスタ (図 1) の性能予測に向けた、スーパーコンピュータ支援による量子輸送デバイスシミュレータの開発とその性能評価を研究目的とした。



(a) 従来型トランジスタ



(b) ナノワイヤトランジスタ

図 1: 従来の半導体集積回路に用いられている電界効果型トランジスタは、平面的な構造をしている (a)。しかし、ゲート長が短くなると、平面的な構造では十分なゲートの制御性が得られないため、立体構造にする必要がある。そのような立体構造デバイスの中で、細いワイヤ形状のチャネルを有するデバイスがナノワイヤトランジスタである (b)。

量子輸送デバイスシミュレータは、量子輸送理論に基づく電子の輸送方程式とポアソン方程式とを連立させて自己無撞着的に解き、トランジスタの電流電圧特性を求めるプログラムである (図 2)。従来、輸送方程式として、ボルツマン輸送方程式などの古典的な輸送方程式が用いられてきた。しかし、極めて微細なデバイスでは、電子が量子力学に従って運動するという量子性を無視することができないため、量子論に基づく輸送方程式を用いる必要がある。本研究では、非平衡グリーン関数法 (NEGF 法) を用いたシミュレータの開発を行った。その際、実際のデバイス開発応用に向けて、フォノン散乱などの各種散乱過程をモデル化して導入することも必須であり、効率的に導入する手法の開発も目指した。

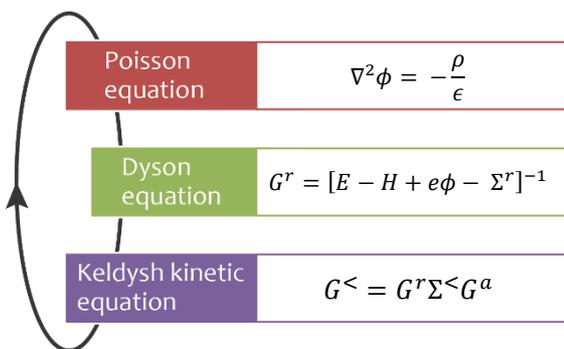


図 2: 非平衡グリーン関数法に基づく量子輸送デバイスシミュレーション. ポアソン方程式と輸送方程式 (ダイソン方程式とケルディッシュ方程式) とを連立させて自己無撞着的に解く。

極限までデバイスの微細化が追求され、シリコン MOS 型トランジスタのチャンネル長は既に 30 nm を切り、研究レベルでは 10 nm 以下のデバイス動作も報告されている。デバイスが極度に微細化された結果、近年、単純なスケール則のみによるデバイス性能向上の限界が顕在化してきた。現在、この状況の打破を目指して、様々なデバイス構造・材料が提案・試作されており、そのような新構造・新材料デバイスの性能を事前に予測できるシミュレータの開発が急務となっている。本

研究には、以上のような要請に応えるという産業応用上の意義がある。それに加え、さらに、スーパーコンピュータ上における、量子輸送デバイスシミュレータの安定かつ高速動作可能な並列計算手法の開発という、計算科学上の意義もある。

3. 当拠点公募型共同研究として実施した意義

非平衡グリーン関数法に基づくデバイスシミュレーションでは大規模な行列演算を多数回実行する必要がある。輸送方程式に現れるグリーン関数行列のサイズを $N \times N$ とすると、 N は (デバイス中の全原子数) \times (各原子における電子軌道数) となる。例えば、図 1(b) に示した形状のシリコンナノワイヤトランジスタを考え、全長 30 nm、直径 20 nm とすると、全原子数は 50 万個となり、各原子に 10 個の電子軌道を考慮すると、 N は 500 万となる。このサイズの行列の逆行列演算を、多数のエネルギーメッシュ点毎に計算することにより、ポアソン方程式との自己無撞着計算の 1 ループが完了する (自己無撞着計算を収束させるため、複数回ループを回す必要がある)。実際の計算では、グリーン関数行列の物理的な性質を利用して、問題のサイズを分割し、分割統治法によって計算する。例えば、先の例では、短距離の相互作用を仮定すると、500 万 \times 500 万の逆行列演算 1 回を、4 万 \times 4 万の逆行列演算 200 回へと分割可能であり、スーパーコンピュータの利用が可能となる。一方、長距離の相互作用を考慮した場合など物理的な考察のみでは対応が困難な場合もあり、そのような場合は、応用数学的な考察や、並列計算などの計算科学的手法を併用することが必要となる。さらに、並列計算手法の性能評価のため、研究が進んでいる流体モデルにおける知見の応用も望まれる。そこで、量子輸送理論・半導体デバイスモデリングを専門とする研究者に、流体モデルの研究者や、計算科学・応用数学の専門家を加えたチームを構成して、スーパーコンピュータ利用のための公募型共同研究として実施した点に意義があると言える。

4. 前年度までに得られた研究成果の概要

該当なし

5. 今年度の研究成果の詳細

本年度は、これまで Intel CPU ワークステーション上で開発を行ってきた量子輸送シミュレータを、大阪大学サイバーメディアセンターのスーパーコンピュータ SX-ACE に移植し、動作確認を行った。また、3 次元ポアソン方程式の行列解法に関して、分散型のフラットな並列化行列解法を分散メモリシステム上で MPI を用いて実装し、SX-ACE 上で性能評価を行った。これらの進捗状況および課題に関しては次節で述べる。この節では、移植した量子輸送シミュレータを用いて計算した結果の詳細を中心に述べる。

図 3 にシミュレーションを行ったデバイス構造の模式図を示す。直径 D 、ゲート長 L_g の、Gate-All-Around 型シリコンナノワイヤトランジスタを考察した。ソース・ドレイン方向の結晶方位を $\langle 100 \rangle$ とした。電子状態は、半経験的強結合近似から構成した等価モデルを用いて記述した [Mil'nikov, Mori, and Kamakura, Physical Review B **85**, 035317 (2012)]。

半導体デバイスは、室温・高バイアス下で動作させるため、フォノン散乱などの散乱過程をシミュレーションに取り込むことが重要である。本研究では、フォノン状態は、Keating 原子価力場法を用いて求めた。ナノワイヤ中では、フォノンモードが多数のブランチに分裂する。電子フォノン相互作用の自己エネルギーは、一般的には、全ブ

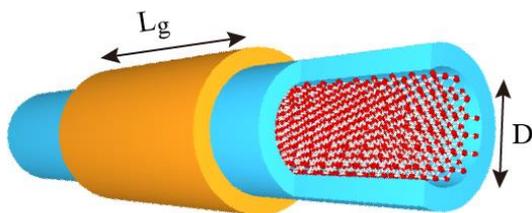


図 3: シリコン $\langle 100 \rangle$ ナノワイヤ Gate-All-Around (GAA) トランジスタ。ゲート長 L_g 、直径 D 。

ランチに渡り計算する必要があり、デバイスシミュレーション実行時のボトルネックとなる。我々は、完全な分散を有するフォノンブランチを、少数個の分散の無いブランチで近似するランダム行列フォノン (RMP) 近似法を開発した [Mil'nikov and Mori, Proceedings of SISPAD 2014, pp. 317-320]。これまでは、RMP モードの相互作用強度を電子移動度との比較から決定していたが、本年度、SX-ACE 上において、トランジスタ特性から相互作用強度を新たに決定した。

図 4 に、ゲート長 8 nm、直径 2 nm のシリコンナノワイヤトランジスタの伝達特性の計算結果を示す。実線が、フォノン分散を厳密に扱った場合の結果、白丸印は、ランダム行列フォノン (RMP) 近似を用いて計算した場合の結果である。良好な一致を得た。図 5 に示したように、誤差は、最大で 5% 程度であった。

RMP 近似法で、十分な精度を確保できることが確認できたので、つぎに、シリコン/酸化膜界面付近における原子配置乱れが、デバイスの電流電圧特性に与える影響を調べた。原子配置乱れは、多数のトランジスタを集積した際に問題となる特性ばらつきを決定する要因の一つである。

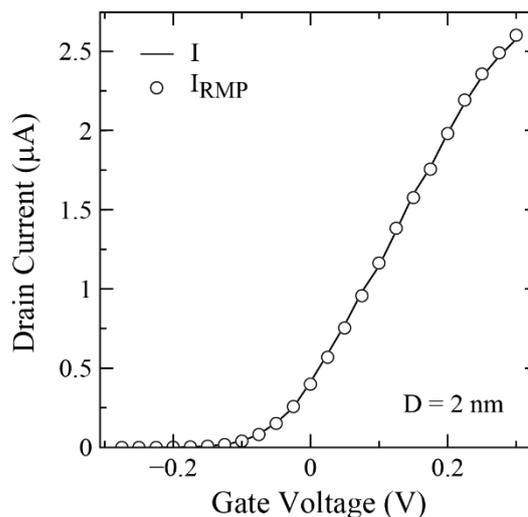


図 4: ゲート長 8 nm、直径 2 nm のシリコンナノワイヤトランジスタの伝達特性。実線は、フォノン分散を厳密に扱った場合、白丸印は、ランダム行列フォノン (RMP) 近似を用いて計算した場合の結果。

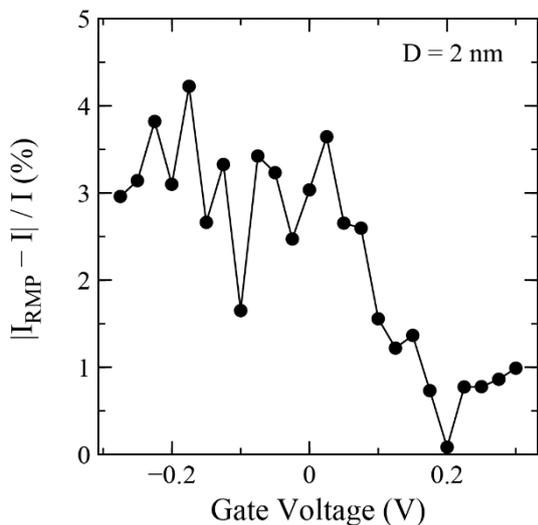


図 5: ランダム行列フォノン (RMP) 近似導入による誤差. I は、フォノン分散を厳密に扱った場合, I_{RMP} は、RMP 近似を用いて計算した場合のドレイン電流.

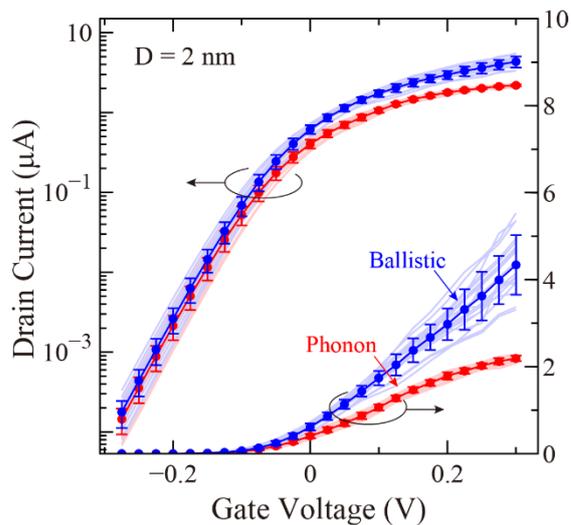


図 7: 界面における原子配置乱れがナノワイヤトランジスタの伝達特性に与える影響. ナノワイヤの直径が 2 nm の場合.

原子配置乱れの効果は、論文[Mori *et al.*, IEDM 2013]の手法を用いて取り入れた. 図 6, 図 7 にシミュレーション結果を示す. 図 6 は、ナノワイヤの直径が 3 nm の場合, 図 7 は、2 nm の場合である. 青色のデータはフォノン散乱を無視した場合, 赤色のデータはフォノン散乱を考慮した場合の結果である. ゲート長が 8 nm と短いにも関わらず、フォノン散乱が大きな影響を及ぼすことがわかる.

図 8 に、フォノン散乱を考慮した電流と無視した電流の比 ($I_{\text{phonon}}/I_{\text{ballistic}}$), および、電流ばらつき比 ($\Delta I_{\text{phonon}}/\Delta I_{\text{ballistic}}$) のゲート電圧依存性を示す. 電流比に注目すると、ゲート電圧が高いオン状態の方が、フォノン散乱の影響大きいことがわかる. また、ナノワイヤ径が小さい方が、フォノン散乱の影響が大きいこともわかる. ばらつき比に注目すると、ナノワイヤ径が小さい構造

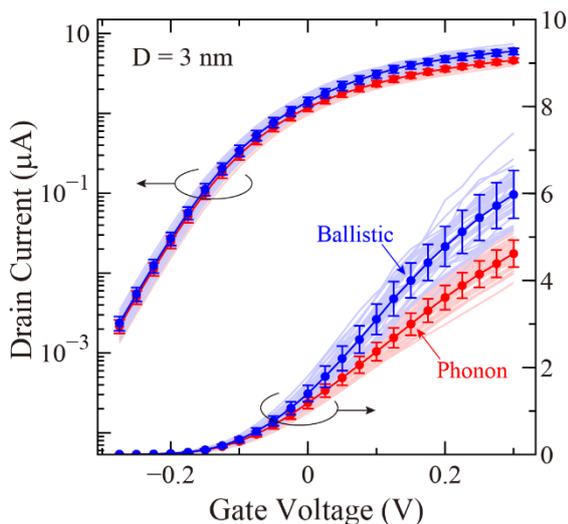


図 6: 界面における原子配置乱れがナノワイヤトランジスタの伝達特性に与える影響. ナノワイヤの直径が 3 nm の場合. 青丸印は、弾道輸送条件, 赤丸印は、フォノン散乱を考慮した場合の電流の平均値.

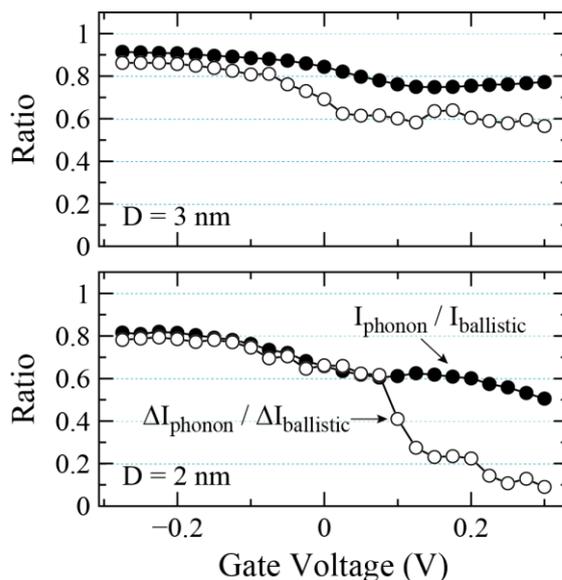


図 8: フォノン散乱を考慮した電流と無視した電流の比 ($I_{\text{phonon}}/I_{\text{ballistic}}$) のゲート電圧依存性 (黒丸印). 白丸印は電流ばらつき比 ($\Delta I_{\text{phonon}}/\Delta I_{\text{ballistic}}$).

のオン状態において、フォノン散乱がばらつきを大幅に低減させるという興味深い現象が見られる。

弾道条件における大きなばらつきの要因の一つに、原子配置乱れによる散乱波の干渉効果が挙げられることから、フォノン散乱により、干渉が抑えられ、ばらつきが低減した可能性がある。他には、フォノン散乱が自己無同着的に、ポテンシャル分布に影響を及ぼし、ばらつきが低減した可能性なども考えられる。

移植したシミュレータを用いて、中間報告以降、ナノワイヤ形状や断面サイズが異なる種々のデバイスのシミュレーションを行った。図 9 に、シミュレーション結果を示す。図 9(a)~(c)に矩形ナノワイヤトランジスタの伝達特性を示す。いずれもゲート長 10 nm、全長 30 nm の GAA 型ナノワイヤトランジスタであり、断面形状は一辺 $W = 2.2$ nm, 3 nm, 4 nm の正方形とした。図 9(d)には、フォノン散乱を考慮した電流と無視した電流の比を示す。 W が大きくなるとフォノン散乱の影響が小さくなるが、本年度シミュレーションを行ったデバイスの中で最も太い $W = 4$ nm においても、オン電流の減少率が約 30%と、無視できない大きさであることが分かった。

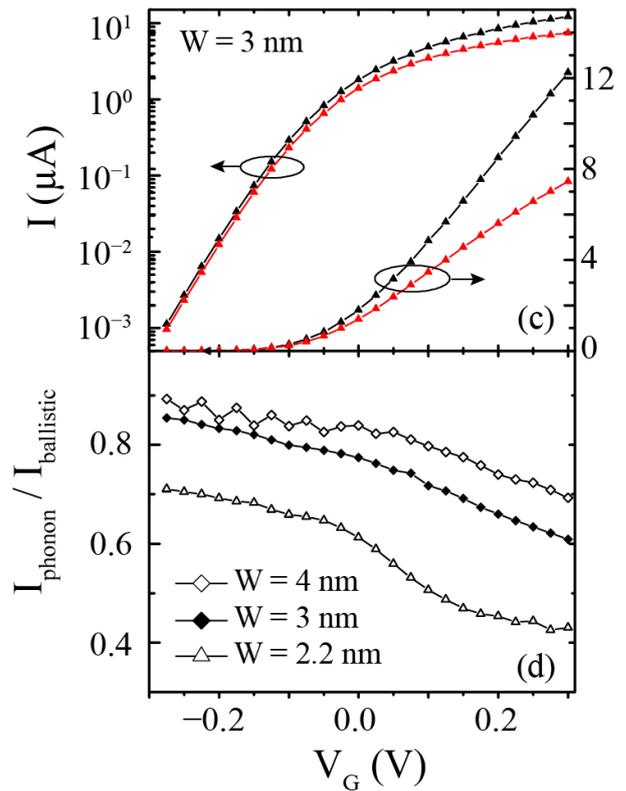
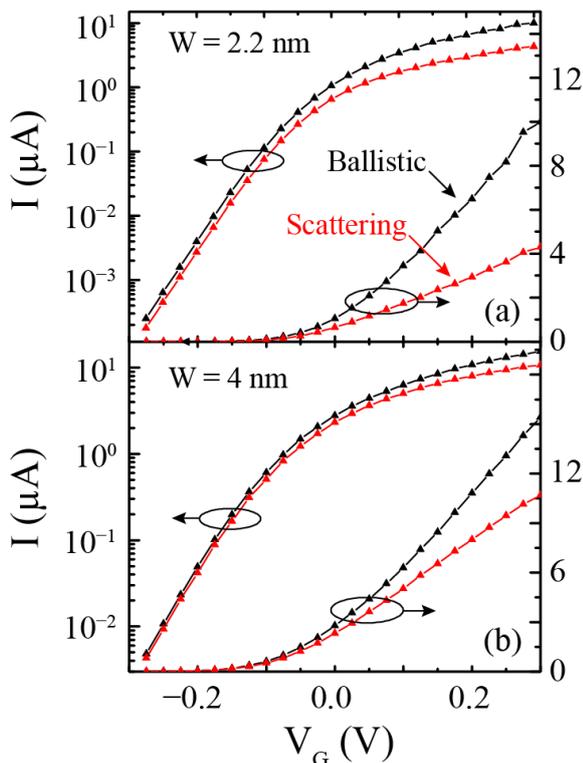


図 9：一辺 2.2 nm (a), 3 nm (b), 4 nm (c) の正方形断面 GAA ナノワイヤトランジスタの伝達特性。フォノン散乱を考慮した場合の電流と無視した場合の電流の比を(d)にプロットした。

6. 今年度の進捗状況と今後の展望

NEGF 法の解法では、これまで Intel CPU ワークステーション上で開発を行ってきた量子輸送シミュレータを SX-ACE に移植し、動作確認を行った。再帰アルゴリズムにおいて、SX ライブラリに含まれる BLAS および LAPACK を用いて行列演算を行っているが、小さい行列（典型的には 200×200 以下）を多数回計算するよう再帰アルゴリズムを設定した場合、十分な性能が得られないことがわかった。

並列化は、電子フォノン相互作用の自己エネルギーの計算をエネルギー軸方向に分散させて行った。弾道輸送 NEGF 法の場合、ソース電極からデバイスに注入された電子はエネルギーを変えずに、ドレイン電極へと流れるため、計算は、エネルギー毎に完全に独立している。そのため、輸送方程式を解く際、エネルギー方向に分散させ

た並列化が効率的である。一方、フォノン散乱を導入すると、電子がフォノンを授受してエネルギーを変えるため、授受されるフォノン・エネルギーの分だけ異なるエネルギーにある電子状態間に相互作用が生じる。そのため、計算は、エネルギー毎に独立でなくなる。さらに、シリコンナノワイヤのフォノン分散は、0~60 meV 程度の範囲に渡って連続的なスペクトルを持つため、エネルギー軸方向への並列化が困難になる。我々が開発した RMP 近似では、連続的なフォノンスペクトルを、等間隔 Δ_{RMP} で離散的な、少数個の無分散モードで近似する。この近似を用いると、エネルギー範囲 Δ_{RMP} 内の状態は互いに交じることがないため、効率的な並列化が可能となる。本研究では、非弾道輸送 NEGF 法においてボトルネックとなる、フォノン散乱による自己エネルギーの計算において、上述の方法を用いて、エネルギー軸方向に並列化を行った。並列化の動作チェックは、SX-ACE 上、最大 48 ノードにおいて行った。なお、本年度シミュレーションを行ったナノワイヤの直径は最大で 3 nm と、比較的細い構造であり、デバイス全体のグリーン関数の計算に関しては、並列化を行っていない。

今年度移植した NEGF デバイスシミュレーションプログラムは、半経験的な強結合近似を用いて電子状態を記述している。このため、シリコンなどの良く知られた材料以外の新材料や、界面付近のバルク状態と異なる電子状態を、実験データなどの経験的パラメータなしに扱うことが困難である。そこで、今後は、第一原理計算によって電子状態を記述する必要があると考えている。現在、大規模な第一原理計算との連成に向けて、文部科学省「ポスト「京」で重点的に取り組むべき社会的・科学的課題に関するアプリケーション開発・研究開発」における重点課題 7 において、東京大学押山淳研究室のグループと共同でプログラムを開発している。

ポアソン方程式とカップリングした NEGF 法の解法では、NEGF 法の並列化は、領域分割法ではなく、エネルギーレベルによる分割で行われる。

そのため、3 次元ポアソン方程式の並列化解法には領域分割法ではなく、分散型のフラットな並列化行列解法が必要である。ここでは、 x -、 y -、 z -方向の分割作用素を前処理にした SPCG 法 (Splitting-Up 前処理付き共役勾配法) の分散メモリシステム上で MPI を用いた実装を行い、SX-ACE 上で性能評価を行った。実装は、ノード内及びノード間もいずれも MPI プロセスを生成させ、必要に応じて通信を行うフラットなものとした。実行時間が多くかかる部分は、行列ベクトル積計算と前処理計算である。

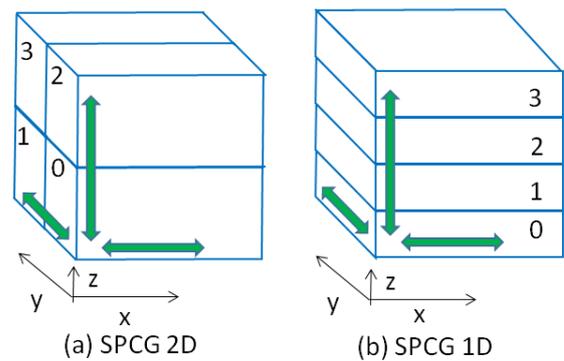


図 10 : 3 次元データの分散形態

まず、効率よくデータを分散させるために、3 次元データを 2 次元プロセッサ空間に分散させ、通信部分に配列再分散を利用する実装 (SPCG 2D) を行った。図 10(a)に示すように、各プロセッサは 1 次元分のデータを保持しているため、前処理計算において、ある方向 (x 方向) に解いた後に別の方向 (y 方向もしくは z 方向) に解く前に配列の再分散が必要となる。よって、この実装では前処理計算部分で配列再分散が多く発生するので十分な性能が得られなかった。

次に、配列再分散の回数を減らすために、図 10(b)に示すように、1 次元プロセッサ空間へデータを分散する実装 (SPCG 1D) に変え、通信コストの低減及び性能の向上を図った。各プロセッサは 2 次元分のデータ (x 方向と y 方向) を保持しているため配列再分散の回数は反復毎に 3 回から 2 回に減らせた (z 方向の前後)。

さらに、SX-ACE 上での実装においては、行列ベクトル積計算における配列再分散は本質的ではないので、分散配列の境界部分のみの通信とした実装 (SPCG redist) に変えた。また、予備的評価から、前処理計算における配列再分散のコストが大きいことがわかった。そこで、前処理計算の通信コストを削減するために、前処理部分の通信コストを削減する手法 (pipe, p-scheme 法) および通信を無くした通信フリーな手法 (NoZSolve, ISPCG) を検討し、通信フリーな手法は収束性能が下がるのでその影響を調べた。図 11 に配列サイズが 384^3 の場合の収束性能を示す。NoZSolve の収束傾向はオリジナルの SPCG に近いことが分かった。

さらに、32 個の MPI プロセスを用いて SX-ACE で計測した収束性能と実行時間を組み合わせた全体性能、すなわち実行時間と収束性能の関係を図 12 に示す。各種手法の中で NoZSolve がベストの性能を示している。例えば、残差 10^{-7} の点において、1 プロセスのオリジナルの SPCG 法は約 0.3 秒の実行時間であるのに対し、NoZSolve は約 0.016 秒であり、約 18 倍の性能向上が示されている。NoZSolve には劣るものの、ISPCG, pipe 及び P-scheme はほぼ同程度の性能であった。

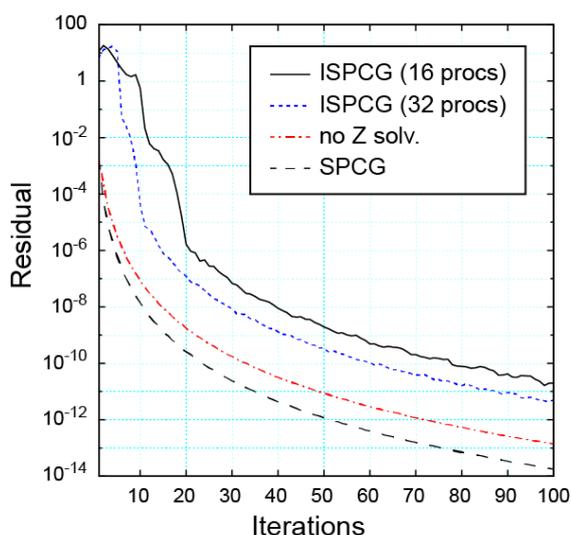


図 11：各種手法による収束性能

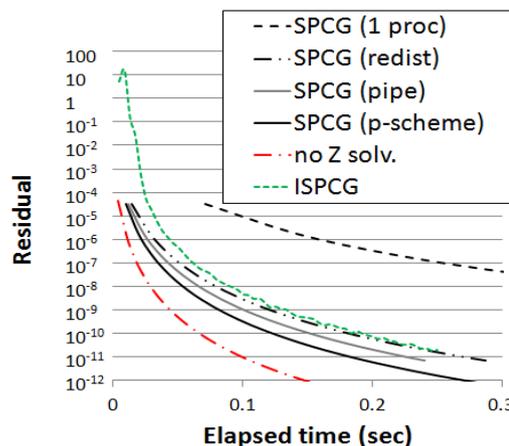


図 12：各種手法による全体性能

7. 研究成果リスト

(1) 学術論文

- 1 G. Mil'nikov and N. Mori, "Random phonon model of dissipative electron transport in nanowire MOSFETs: Low field mobility and NEGF simulations in the equivalent model representation," *Journal of Computational Electronics* (submitted).

(2) 国際会議プロシーディングス

(3) 国際会議発表

1. S. Sho, S. Odanaka, Y. Oda, K. Matuzawa, Y. Akiyama, "A hybrid MPI/OpenMP parallelization for semiconductor device simulations," *International Workshop on Eigenvalue Problems: Algorithms; Software and Applications, in Petascale Computing*, p.10, 2015.

(4) 国内会議発表

- 1 美里劫 夏南, 森 伸也, "ランダム行列フォノンモデルに基づく NEGF シミュレーション", 第 63 回応用物理学会春季学術講演会, 2016 年 3 月 19 日, 東京工業大学 大岡山キャンパス, 東京都

(5) その他 (特許, プレス発表, 著書等)