

## 11-NA10

### CIP-基底関数法に基づく偏微分方程式汎用数値解法の高度化

内海隆行（山口東京理科大学）

**概要** 本研究の目的は、CIP-基底関数法を線形及び非線形偏微分方程式を高精度で安定に解く汎用的手法として確立する基礎を固めることである。本手法が汎用数値解法として有用であることを示すためには、理工学的に重要な応用分野に拡張することが重要である。このため、本研究では、まず、CIP-基底関数法による Kohn-Sham 方程式解析コードを開発し、さらに、計算科学的観点から本手法をより一般的に発展させることを目的として、微分方程式から並列プログラムを生成する方法、および計算機ハードウェアによる汎用的な高速化について検討することである。

本年度は、Kohn-Sham 方程式解析コードについては、MPI 通信に基づく並列プログラムを作成して、孤立原子系である水素原子 (H)、水素分子イオン (H<sub>2</sub><sup>+</sup>)、ヘリウム原子 (He) に適用して高精度が得られることを確認した。また、等価変換プログラミング言語 (ETI) による汎用性の高い並列プログラム構築方法論を検討し、3 次元配列が可能な FPGA アレーによって数値計算問題を直接回路で実行する方式の実現性についての検討をおこなった。

#### 1. 研究の目的と意義

遠隔作用のもとでの質点系の運動方程式は、ニュートン力学であれ相対論的力学であれ、時間に関する 1 階連立常微分方程式で表すことができる。一方、流体のような近接作用に基づく運動は系を無限自由度の連続体として取り扱うために、時間発展の偏微分方程式で記述される。前者においては、Runge-Kutta 法などの汎用数値解法が開発されてきており、ほぼ完成の域に達している。しかし、後者の偏微分方程式については問題毎のアルゴリズムが存在する状況にある。研究者・技術者が計算技術論から解放され物理的問題解決に注力できるようにするためには、高信頼性・高精度の統一的数値解法の確立が求められている。

本研究の目的は、日本独自の流体解析手法として開発された CIP (Constrained Interpolation Profile) 法を構造解析で普及している有限要素法を融合した CIP-基底関数 (CIP-Basis Set, CIP-BS) 法を、線形及び非線形偏微分方程式を高精度で安定に解く手法として確立することである。

さらに、本研究では CIP-BS 法のプログラム開発を通じて、大規模数値計算プログラム開発環境と計算機ハードウェアの汎用化と高速化を考察し、微分方程式とその他の必要な指示から

CIP-BS 法に基づいて半自動的に、FPGA による並列計算を含む効率的な並列プログラムを生成するシステムを設計、試作する。

この研究が進めば、微分方程式仕様からプログラム構築までのノウハウを体系化して蓄積でき、シミュレーションなどが計算環境にかかわらず容易にできるようになる。本年度は、それらの基礎となる原理を検討する。

#### 2. 当拠点公募型共同研究として実施した意義

- (1) 共同研究を実施した大学名と研究体制  
北海道大学  
札幌学院大学  
東京農工大学  
山口東京理科大学
- (2) 共同研究分野  
超大規模数値計算系応用分野
- (3) 当公募型共同研究ならではの事項など

本研究は、CIP-基底関数法を偏微分方程式の統一的数値解法として確立することを出発点としているが、並列計算プログラム構築を制約充足問題などを含む広い範囲の問題クラスを解く並列プログラムの構築という一般性の高い視点からスタートして、将来の解法の高度化に対応できるような理論構築を考えた汎用化の研究、および計算機システムの計算資源と

して FPGA などによる汎用的な高速化手法の研究を通じて、大規模数値計算の分野横断的視点を研究者間で共有化できつつある。

## 2. 研究成果の詳細と当初計画の達成状況

### (1) 研究成果の詳細について

#### (1.1) Kohn-Sham 方程式解析コードの開発

新機能性物質の創製、ナノテクノロジー、DNA 構造解析などの先進物性研究では、原子分子スケールでの大規模システムの電子状態解析が重要となっている。近年、物質の電子状態の第一原理計算において密度汎関数法の有用性が理論的に確立され、Kohn-Sham 方程式を効率的に解くための新たな数値解析技法の必要性が認識されるに至った。本研究の目的は、汎用数値解析手法である CIP-基底関数法が第一原理計算のための基本的性能を満たし、大規模分子系の計算が可能であることを示すことである。

密度汎関数法では、多電子相関ポテンシャルを 1 電子有効ポテンシャルに還元してシュレディンガー方程式の固有状態を下記の自己無撞着計算により求める。

(i) ポテンシャル中の 1 電子の固有状態計算シュレディンガー方程式

$$\left(-\frac{1}{2}\nabla^2 + V(\mathbf{r})\right)\varphi(\mathbf{r}) = E\varphi(\mathbf{r})$$

を CIP-BS 法によって離散化した一般化固有値問題 ( $H\varphi = \lambda S\varphi$ ) を解く。

(ii) ポテンシャルの計算  
ポアソン方程式  $\Delta V(\mathbf{r}) = \rho(\mathbf{r})$  を CIP-BS 法によって離散化した連立一次方程式 ( $DV = \rho$ ) を解く。

(iii) (i)、(ii) をポテンシャルが収束するまで繰り返す。

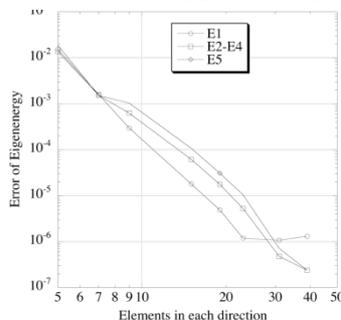
本研究では、まず、ポアソン方程式により電荷分布に対応したポテンシャルが少数格子点で高精度解が得られることを示し、既知ポテンシャルのシュレディンガー方程式の解と組み合わせ、CIP-BS 法により高精度かつ効率的に実行できる事を検証する。このため、最も構造の簡単な下記の原子・分子の電子状態計算を実施し、解析解や実験結果との比較評価を行った。

数値計算としては、大規模データ処理の必

要性から、SPMD (Single Program Multiple Data) 方式で MPI 通信による並列計算プログラムを開発した。主な計算は、一般化固有値問題と連立一次方程式を解くことにあるが、Krylov 部分空間法を適用した手法が最も効率的であり、公開されているライブラリ PARPACK (ARPACK の並列版) を利用し、行列とベクトルの積を計算するルーチンを作成した。ここで、スパース行列は、CRS (Compressed Row Format) 形式で非零要素の位置と値のみを格納することにより記憶領域を最適化した。並列プログラムの構成としては、全ての CPU に全ての行列とベクトルを格納して、行列とベクトルの積計算ルーチンで各 CPU は分割された行の積和を計算し、結果を他の CPU にブロードキャストする方式が簡単である。しかし、この方式ではベクトル格納領域が大きくなり、全ての CPU 間で MPI 通信するためにデータ転送量も増大するという問題がある。このため、本研究では、各 CPU は分割された行の積和計算に必要なベクトルと行列のみを記憶し、通信は行列の非零要素を分担する CPU 同士のみとするようにした。これにより、各 CPU の記憶量、通信量を低減し、並列計算を効率化することができたと考えられる。

並列計算プログラムにより、これまでに以下の結果を得た。

(ア) 孤立原子を模擬して、解析的に与えられた 3 次元調和振動子ポテンシャルでシュレディンガー方程式が精度よく解けることを確認した。系のエネルギー固有値が、格子数 ( $N$ ) が少なくとも安定した結果が得られた。また、下図に格子数と精度の関係を示す。



(イ) 水素原子 (H)

解析体系の大きさを 20 a.u. ( $-10 < x, y, z < 10$ ), 格子点数を 11、15、23 として求め

たエネルギー固有値と解析解を次表に示す。これにより、格子点数の増加に従って解析精度が向上すること、 $n=2$  の縮退が正しく解かれていることがわかる。

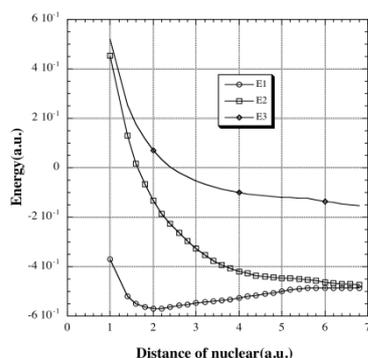
		no. of grids	11	15	23
		range of space	20	20	20
		grid interval	1.818	1.333	0.870
n	analytic				
1	-0.5000		-0.44349	-0.46858	-0.48781
2	-0.1250		-0.12357	-0.12283	-0.12250
2	-0.1250		-0.12357	-0.12283	-0.12250
2	-0.1250		-0.12357	-0.12283	-0.12250
3	-0.0555		-0.10999	-0.11458	-0.11784

また、計算格子間隔と解析体系の大きさの影響を調べた結果を次表に示す。これにより、基底状態に対しては計算格子間隔が、また、励起状態に対しては解析体系の大きさが重要な因子となっていることがわかる。

		no. of grids	11	15	11	15	11	15
		range of space	15	15	30	30	50	50
		grid interval	1.364	1.000	2.727	2.000	4.545	3.333
n	analytic							
1	-0.5000		-0.46744	-0.48325	-0.39386	-0.43320	-0.31247	-0.36340
2	-0.1250		-0.11189	-0.11109	-0.12734	-0.12589	-0.13047	-0.12852
2	-0.1250		-0.11189	-0.11109	-0.12734	-0.12589	-0.13047	-0.12852
2	-0.1250		-0.11189	-0.11109	-0.12734	-0.12589	-0.13047	-0.12852
3	-0.0555		-0.08991	-0.09350	-0.10796	-0.11478	-0.09246	-0.10254

(ウ) 水素分子イオン ( $H_2^+$ )

結果を次図に示す。基底状態においては原子核間距離が 2.0a.u.、エネルギー固有値は -0.570a.u. となった。実測値は、原子核間距離が 2.0a.u. (0.106nm)、エネルギー固有値は -0.602a.u. (-16.38eV) であるので、実測値にほぼ一致する。



(エ) ヘリウム原子(He)

局所密度近似(LDA)のもとで自己無撞着計算によりヘリウム分子の第一、第二イオン化エネルギーを計算した結果を次表に示す。第一イ

オン化エネルギー誤差は水素原子の基底エネルギーと同じ特性である。第二イオン化エネルギーは格子間隔が約 1 a.u.程度で実測値と比べて 5%程度である。格子間隔の増大に伴ってこの誤差が必然的に増大するが、格子間隔の減少にも関わらず誤差が増大していることは検討を要する。現時点、これは、核近傍における交換相関ポテンシャルの微係数の精度が向上していないことによるものと推察している。

		no. of grids	31	31	31	31	31
		range of space	10	20	30	40	50
		grid interval	0.323	0.645	0.968	1.290	1.613
ionization energy							
1st	-2.0000		-1.99516	-1.96621	-1.90739	-1.82752	-1.73793
2nd	-2.9135		-3.31270	-3.03471	-2.81022	-2.60585	-2.41515

(1.2) 微分方程式仕様から効率的な並列プログラムを生成する研究

(1.2.1) 正当性を保証した並列プログラムの構築法の必要性

並列プログラムは、ある程度以上複雑に計算を行う場合には、正当性を保証することが事実上困難になる。そのため、微分方程式や偏微分方程式を解く場合には、現状では、計算の構造が十分に単純な範囲でプログラムを書いている。同期を使うのがその典型であり、ある時刻の状態がすべて計算し終わらないと、次の時刻の計算を始めない。

たとえば、時間や空間が錯綜するような非常に複雑な計算を行うには、正当性を保証するために使える原理(正当性を保証する構築方法論)を十分に知ることが必須となる。現状ではそのような理論が確立していないので、複雑な計算構造の並列プログラムを発想すること自体が暗黙に制約されていると考えられる。しかし計算機環境はマルチ化ヘテロ化の方向に急速に進んでおり、また、柔軟な計算に対する要請は高度化しており、そのような状況下で正当性を保証したプログラムをどう構築するかの方法論を進展させることは非常に重要である。

(1.2.2) 対象とする問題クラス

D を確定節集合、Q をアトム集合とする。求解問題 (D, Q) とは、Q の任意の元 q に対して  $rep(q) \cap M(D)$

を求める問題である。ただし、 $\text{rep}(q)$  はアトム  $q$  のすべての基礎例全体の集合であり、 $M(D)$  は  $D$  の最小モデルを意味する。これは論理プログラミングで議論されてきた問題クラスの 1 つであり、この問題クラスに含まれる問題は非常に広範囲である。

微分方程式や偏微分方程式の離散化された問題もこの範囲に含まれる。将来、微分方程式や偏微分方程式のもっと高度で複雑な解法を実現するためにも、この問題クラス（確定節上の求解問題）をターゲットとして設定する。

### (1.2.3) 逐次プログラムの構築法

提案された並列プログラムの方は、すでに提案した逐次プログラムの構築方法を自然に拡張した形をしている。そこで、まず、逐次プログラムの構築法を述べる。

逐次プログラムは、優先度のついた等価変換ルールの集合  $R$  で表される。そこでの計算は、問題  $q$  を表す節集合に対して、 $R$  の中の等価変換ルールを逐次適用することである。これによって、計算状態（=節集合）は変化していく。それぞれの等価変換ルールには優先度がついており、ある計算状態に適用できる等価変換ルールの中で最も優先度の高い等価変換ルールの 1 つが任意に選ばれて、適用される。したがって、この計算は非決定的な計算となる。しかし状態の等価性は常に保たれており、計算結果の正当性が厳密に保証される。

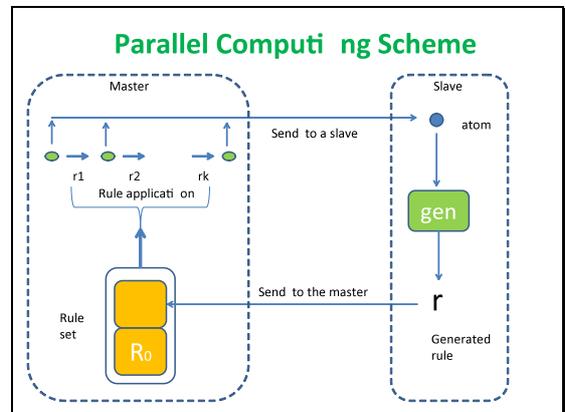
問題からこのような逐次プログラムを構築するには、問題を記述する確定節集合  $D$  から、メタ計算などの技術を用いて、多くの等価変換ルールを自動生成する。自動生成した等価変換ルール以外に、人が考えた等価変換ルールを含めてもよい。それらの等価変換ルールを評価して、効率の良い等価変換ルールにはより高い優先度を与える。

確定節集合と等価変換ルールが与える逐次プログラムは、等価変換プログラミング言語 (ETI) を用いれば、そのまま記述でき、実行可能である。しかし、それを命令型言語などで構築し直してもよい。その場合、状態の表現やルールの手続きの実現などに、多くの最適化が可

能である。

### (1.2.4) 正当性を保証した並列プログラムの構築法の提案

逐次プログラムとその上記の構築法を拡張する形で、並列プログラムの構築法を述べる。



並列プログラムはマスター・スレーブ型の構成であり、マスターは上記の逐次プログラムの構成と動作を基本としている。すなわち、マスターは、状態の節集合に対して、 $R$  の中の等価変換ルールの適用を繰り返す。マスターはそのほかに、スレーブにアトム集合を投げる。また、もしスレーブから等価変換ルールが送られて来たら、それに優先度を付与して  $R$  に蓄積する。それによって、適用される可能性のあるルールが増加し、マスターが状態の節集合にもたらす計算は変化する。スレーブは、マスターから与えられたアトム集合を参考にして、それに類似のアトム集合を等価的に変換できる等価変換ルールを探索し、見つかった場合にはそれをマスターに返す。

マスターの計算とスレーブの計算は並行して実行できる。スレーブが正しい等価変換ルールを返すので、マスターの持つルール集合  $R$  の中に蓄積されているルールはすべて等価変換ルールになる。したがって、その等価変換ルールを繰り返し適用して計算するマスターの計算は、正当性が厳密に保証される。

問題からこのような並列プログラムを構築する場合、マスターに対しては、逐次的の場合とまったく同じ方法を用いることができる。スレーブのプログラムは、等価変換ルールを探索生成するものであるが、これもメタ計算などの

技術を用いて作ることができる。また、人が思いつく優れた方法を追加して用いてもよい。

(1.2.5) 実験と考察

この方法論による並列プログラム構築を容易にするために、プログラミング言語 ET-MPI が作られた。それは、等価変換プログラミング言語 ETI の拡張であり、MPI により上記の並列プログラムを等価変換ルールのレベルで記述できる。

マスターもスレーブも等価変換プログラミング言語 ETI を用いれば記述しやすいので、それらを並行して動かすことができればよい。そのために MPI を用いたのである。

いくつかの制約充足問題を対象として、上記の並列プログラム構築方法の適用実験を行った。この方法の優れた点は、マスターにおける等価変換ルールや、スレーブにおける等価変換ルール生成プログラムで、よりよいものを新しく追加することによって、正当性を保証したままで、システム性能を連続的に改善していくことである。

また、マスターとスレーブは同期をとる必要がないので、スレーブの各計算にかかる時間が大きく変動しても、正当性が揺らぐことはない。したがって、マスターやスレーブのプログラムを大きく改善できる。またそれらは自動生成の対象とすることが可能である。

ET-MPI はスーパーコンピュータ版も構築しており、スーパーコンピュータでの並列実行にも活用できる。

提案した並列プログラム構築の方法で得られる並列プログラムが、逐次プログラムと比較してどのような利点を持つかを、現在実験的に調査している。大規模な問題に対する台数効果なども含めて良好な結論を得られつつある。

微分方程式や偏微分方程式を与えて全自動で並列プログラムを生成するシステムを構築するために、現在いろいろな準備を行っている。その1つは、ET-MPI による高レベルな並列プログラム記述から C 言語などの低レベル命令型言語に変換し、同時に十分な最適化を行う技術の開発であり、いくつかの例題を用いて最適

化実験を進めている。

(1.3) 計算機ハードウェア高速化の検討

スパコンの効率的利用を図るために、Kohn-Sham 方程式のポテンシャル計算部を高速化する FPGA アレーによる並列演算処理の可能性についての研究報告について述べる。

ここでは、高速化既存スパコン方式と比較するため、3次元配列が可能な FPGA アレーを作成し、3次元数値計算問題を直接回路で実行する方式について検討した。数値演算は、問題毎に方程式や解法が異なるため、専用のシステム LSI を作成する事が出来ない。そのため、書き換え可能な FPGA-LSI を用いて、問題毎に適した専用演算回路を用いる。本研究では、電場計算に用いる 3次元 Poisson 方程式、移流項を考慮した CIP 法、この考えを敷衍して各格子点に値と微係数を与える CIP-BS 法の回路を作成している。

計算システムはソフト処理部と仮想回路部とから構成され、図 1 に示す hwModule V2 : U-FPGA 内ある制御回路部により両部分は連動して動作する。3D 演算を行う、仮想回路は FPGA アレー部(図 2)に展開される。FPGA アレーを構成する FPGA カードは 2 枚構成で数値演算を行う Processing Element(PE)部 (図 3 左) とホストとの通信を行う通信部 (図 3 右) とから構成される。

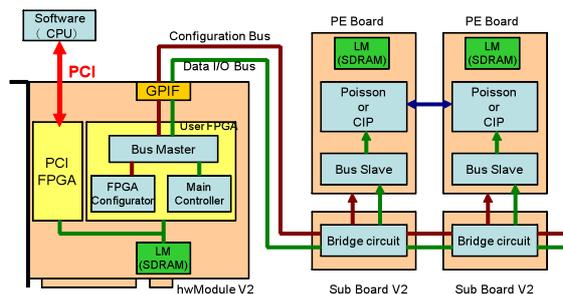


図 1 ブロック構成図



図 2 FPGA アレー

PE 部には接続端子が 6 方向用意されており、図 2 に示すように 3 次元接続が可能である。各 PE 内 FPGA には演算対象となる格子(図 4)を割り当て、その演算回路(図 5)が各 FPGA に書き込まれる。演算回路は、演算対象の格子点での差分方程式を専用回路として作成されている。

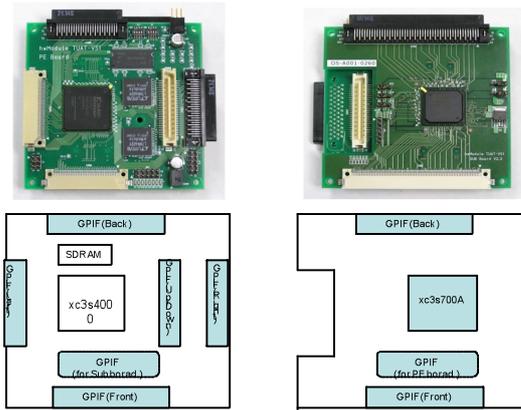


図 3 演算用 FPGA カード

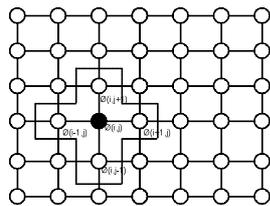


図 4 2次元格子

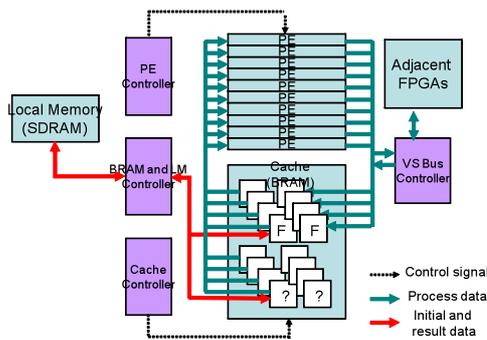


図 5 10 並列演算回路

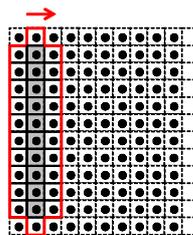


図 6 並列演算

### Poisson 方程式

$$\phi(i, j)^{\text{new}} = h^2 \rho(i, j) + (\phi(i-1, j)^{\text{old}} + \phi(i, j-1)^{\text{old}} + \phi(i+1, j)^{\text{old}} + \phi(i, j+1)^{\text{old}}) / 4$$

では、格子点を同時に 10 並列演算出来るように演算回路(図 5)は、10 個の PE を配置し、各 PE 内ではパイプライン動作でさらに並列動作をおこなうことで演算能力を高めている。

この回路はソフト言語と類似の Hardware Description Language (HDL) を用いて作成されている。表 1 に Poisson 方程式の場合を示す。演算開始段階(1 行目)ではセットアップ時間が含まれているが、長時間演算を行った時の累積時間(3 行目)からは実効的な性能が得られている。図 7 に示すように FPGA の実効性能は一定値に収斂している。実行時間の内訳を表 2 に示す。演算と並行して処理出来ずに計測される隣接 FPGA 間でのデータ転送に 14%近いオーバーヘッドが生じてしまっている。1 次元配列でこの数値であるので 2 次元、3 次元配列になるとシステム性能全体を律束することになる。ここで得られた性能は割り当てた浮動小数点演算器の演算回数から求めた実効的な性能であり、所謂ピーク性能ではない。割り当てる浮動小数点演算器の個数は対象問題により異なる。表 3 に消費電力あたりの実効性能値を示す。CPU は 3GHz の動作周波数であるため、大きな数値となっている。FPGA は消費電力が大きいといわれるが動作周波数が 66MHz と小さいためこの数値である。低消費電力設計や低消費電力型の FPGA が望まれる。

表 1 ソフト(CPU) と FPGA との性能比較

Iterations	Software	FPGA Array/GFlops	
		1FPGA	1x4FPGA
1.0 x 10 <sup>4</sup>	1.532	1.035	3.142
1.0 x 10 <sup>6</sup>	1.540	3.041	8.13
1.0 x 10 <sup>8</sup>	1.526	3.226	10.34

表 3 消費電力あたりの性能

	1x4FPGA	Soft(CPU)
消費電流[A]	0.66	3.06
消費電力[w]	7.92	36.72
性能[MFLOPS/w]	1305	26.1

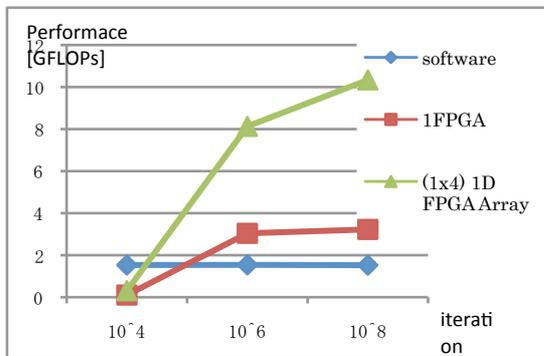


図 7 演算回数と性能

(2) 当初計画の達成状況について

本年度の研究においては、CIP-BS 法固有の計算環境を整備し、密度汎関数法に基づく 3 次元 Kohn-Sham 方程式解析コードを MIP 通信に基づく並列プログラムとして開発した。開発したコードを孤立原子系である水素原子 (H)、水素分子イオン (H<sub>2</sub><sup>+</sup>) に適用してポアソン方程式、シュレディンガー方程式を高精度に解くことができることを確認し、局所密度近似(LDA)のもとで自己無撞着計算によりヘリウム原子の基底状態エネルギーを計算することにより、CIP-BS 法物質の電子状態の第一原理計算に適用可能であることを示し、所期の目的を達成することができた。

また、並列計算プログラム構築過程を情報科学の視点から汎用化する手法の研究では、本年度は、初年度として、今後の研究の基礎となる原理を検討することを目指した。その結果、きわめて汎用性の高い並列プログラム構築方法論を得た。またその結果得られる並列プログラムの正当性を厳密に保証しながら、より効率的なプログラムを探索できることが示された。これは大きな成果であると考えている。これによって次年度以降、より具体的なシステム構築に、確信を持って進むことができる。

さらに、大規模数値計算の汎用的な計算機

ハードウェア高速化手法の研究では、3 次元配列が可能な FPGA アレーを作成し、3 次元数値計算問題であるポアソン方程式を直接回路で実行する方式についての検討を行い、計算機システムの計算資源として FPGA が有望であることを示すことができた。

3. 今後の展望

CIP-BS 法を密度汎関数法に基づく 3 次元 Kohn-Sham 方程式に適用するにあたり、次の要改善事項が明らかとなった。

(1) 点電荷ポテンシャルの行列要素計算アルゴリズムの見直し。核近傍ポテンシャルをポアソン方程式の解としてではなく、球対称関数をガンマ関数の積分表示をもちいた直交座標系での解析的計算に置き換えることにより精度を改善することができる。

(2) 局所密度近似の交換ポテンシャルの微係数評価方法の見直し。交換ポテンシャルが電子密度の 1/3 乗となるが、電子密度が小さい場合にはポテンシャルの微分値の精度が不定となるために差分による近似に置き変える処置が必要となる。

また、計算効率向上のためには実対称疎行列の一般化固有値問題の解法が重要であり、Lanczos 法、冪乗法、Cholesky 分解法などの性能を比較検討し、最適なアルゴリズムと疎行列の計算機表現について、この分野を専門とする研究者との交流を進めていくことが必要である。

効率的な並列プログラムを生成する研究では、来年度は、微分方程式や偏微分方程式を解くプログラムを構築する過程を詳細に検討し、本年度に達成された構築方法論の上に組み上げていく。さらに、現在の微分方程式や偏微分方程式の解法をもっと柔軟な視点から見直し、新たな革新的な解法の技術を開発する可能性を模索する。

来年度は FPGA アレーを 3 次元構成で動作させるため 3 次元構成での回路の再構成方法の実現、消費電力効率の優位性の追求、FPGA 間データ転送能力の実効性能の性能比較など、個人用

スパコンによる課題の解決法、3 次元 CIP 法回路の精度改良法や設計手法の検討を進める。

#### 4. 研究成果リスト

- (1) 学術論文（投稿中のものは「投稿中」と明記）
- (2) 国際会議プロシーディングス
  - (i) Kiyoshi Akama, Ekawit Nantajeewarawat, Hidekatsu Koike, Constructing Parallel Programs Based on Rule Generators, Proc. of the First International Conference on Advanced Communications and Computation (INFOCOMP 2011) pp.173-178, Oct 2011.
  - (ii) Hidekatsu Koike and Kiyoshi Akama, Generation of Correct Parallel Programs Guided by Rewriting Rules, Proc. of 2011 International Conference on Parallel and Distributed Processing Techniques and Applications, Vol.1, pp.12-18 (2011).
  - (iii) Jiang Li, Hakaru Tamukoh, Masatoshi Sekine, 2D/3D FPGA Array for Brain Computer and Numerical Computation, ICNC' 12, 重慶, May 2012.
  - (iv) Jiang Li, Hakaru Tamukoh, Masatoshi Sekine, Hardware Accelerated WEB Platform based on FPGA Array Server and Mobile FPGA Card, iTAP2012, 武漢, Aug. 2012(accepted).
- (3) 国際会議発表
  - (i) Kiyoshi Akama, Ekawit Nantajeewarawat, Hidekatsu Koike, Constructing Parallel Programs Based on Rule Generators, The First International Conference on Advanced Communications and Computation (INFOCOMP 2011) Oct. 2011.
  - (ii) Hidekatsu Koike and Kiyoshi Akama, Generation of Correct Parallel Programs Guided by Rewriting Rules, 2011 International Conference on Parallel and Distributed Processing Techniques and Applications, July 2011.
  - (iii) Jiang Li, Kenichi Takahashi, Hakaru Tamukoh and Masatoshi Sekine "Distributed Computing Circuits in Scalable 2D/3D FPGA Array for 2D/3D Poisson Equation Problem", poster 21, Cool chips XV, Apl. 2012(accepted best feature award).
  - (iv) Jiang Li, Hakaru Tamukoh, Masatoshi Sekine, "2D/3D FPGA Array for Brain Computer and Numerical Computation" ICNC' 12 重慶 May 2012.
- (4) 国内会議発表
  - (i) 高橋健一, 黎江, 集祐介, 嶋崎俊輔, 田向権, 関根優年, 3次元FPGAアレイ HPC システムへの数値演算回路の実装評, VLD2011-115, vol.111, no.397, pp.141-146, Jan 2012.
- (5) その他（特許, プレス発表, 著書等）