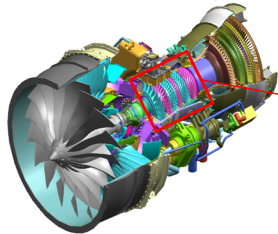


航空エンジンの翼列周り流れ解析のメニーコアシステム向け最適化

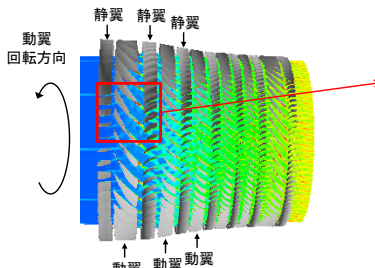


計算対象

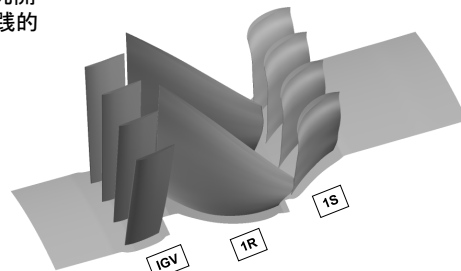
検証対象とする圧縮機C55-2多段翼列解析は、環境適応型小型航空機用エンジン研究開発(エコエンジンプロジェクト)で設計された翼列であり、実験データも豊富である。実践的な航空エンジン翼列解析例題として利用できる。



Japanese Environmentally Compatible Engine (ECO-engine)*

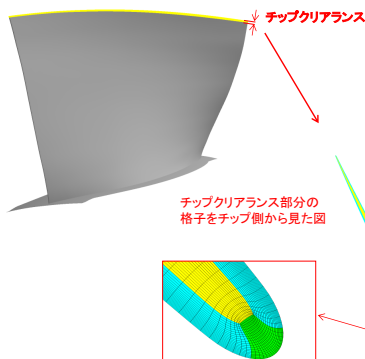


6段圧縮機的全段翼列解析の例



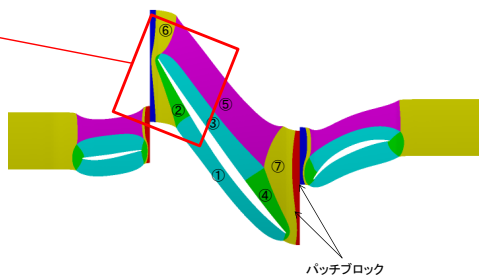
本課題での対象: 1.5段翼列解析

圧縮機C55-2多段翼列からInlet Guide Vane(IGV)、1段動翼(1R)、1段静翼(1S)の1.5段翼列を解析目標とする。

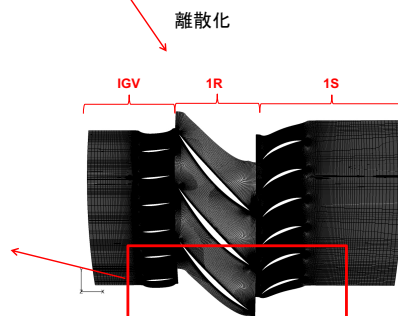


チップクリアランス部分の格子をチップ側から見た図

動翼格子における翼先端(チップ)と壁面の間に隙間(チップクリアランス)部分は細かいブロックで構成されている



解析格子は、Multi Block Grid Generator(MBGG)によって生成された翼列格子用のマルチブロック格子(MBGG格子)を使用する。MBGG格子は、1翼当たり7ブロックで構成されている。動翼と静翼の段間接続はパッチブロックを作成しミキシングプレーン法を用いている。



解析格子	解析条件
格子トポロジ: MBGG	乱流モデル: SA
1Rにチップクリアランスあり	定常計算
格子点数	空間3次精度
IGV: 約320万	
1R: 約300万	
1S: 約330万	

*エンジン図出典: IHI技報 Vol.47 No.3 P.91-95

計算機

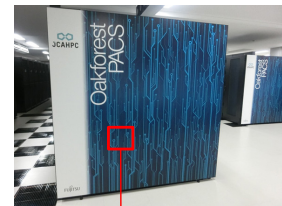
メニーコアプロセッサを搭載したシステムは近年一般的なものになりつつある。JHPCNの支援により提供された二つのスーパーコンピュータシステムは、いずれも最新世代のメニーコアプロセッサを搭載している。

Reedbush スーパーコンピュータシステム

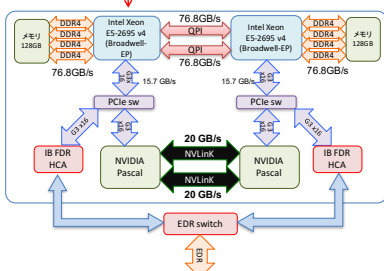


ピーク演算性能: 1.9PF
ノード数: 汎用計算ノード: 420
演算加速ノード: 120
プロセッサ: Intel Xeon (Broadwell) + NVIDIA Tesla P100

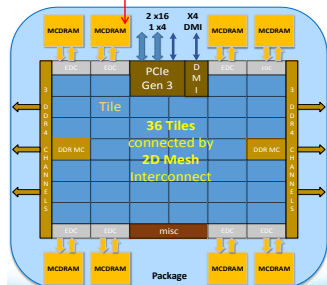
Oakforest-PACS スーパーコンピュータシステム



ピーク演算性能: 25PF (国内1位)
ノード数: 8,208
プロセッサ: Intel Xeon Phi (Knights Landing)



Reedbush-H(演算加速ノード群)の計算ノードは2つのIntel Xeon プロセッサとNVIDIA Pascal GPUからなる。演算性能の大部分をGPUが占めており、GPUの性能を引き出すことが鍵となる。



Oakforest-PACSのプロセッサであるKNLは、2コアからなるタイルが34 タイル、合計68演算コアが2Dのメッシュインタコネクトにより接続されている。さらに各コアには2つのAVX512ベクトルユニットが備わっている。この68コアにおいてAVX512ユニットを効率よく利用することが高速化の鍵である。またKNLはMCDRAMと呼ばれる高バンド幅メモリを有しており、バンド幅要求の大きいCFDアプリケーションでは有用であると考えられる。

本課題の目標

本課題では1.5段の翼列解析を対象とするが、将来的には全段翼列解析を目標としている。

- UPACSのメニーコアプロセッサ向け最適化
 - UPACS: 宇宙航空研究開発機構が開発したCFD解析アプリケーション。本課題で用いるものでは、動翼列解析を可能とする拡張が施されている。
 - メニーコアプロセッサ: NVIDIA Pascal GPU, Intel Xeon Phi (Knights Landing)
 - 単一のブロックに対する計算をメニーコアプロセッサにより高速化
- プロセス間の計算のロードバランシング
 - 解析対象に柔軟に対応するため、ブロックの形状はまちまちである。またパッチブロックと呼ばれる、他のブロックと異なる処理を必要とするブロックが存在
 - メニーコアプロセッサを考慮した効率の良いプロセス割り当て手法の開発
 - メニーコアプロセッサを考慮した上での、最適なメッシュの切り方の開発
- プロセス間通信の最適化
 - 非同期通信の導入により、計算と通信のオーバーラップを検討