

jh170053-NAJ

導電性高分子材料の電子状態計算に現れる連立一次方程式に対する 並列直接解法の高性能化

深谷 猛（北海道大学 情報基盤センター）

概要 本研究課題では、導電性高分子材料の電子状態計算で現れる連立一次方程式を効率的に解くことを目指す。特に、対象とする問題の物理的な特性（ポリマー構造に由来する一次元的な疎構造）に着目し、one-way dissection オーダリングを用いた疎行列直接解法により、これを効率的に解くことを考える。第一段階とし、ポアソン方程式に由来するシンプルなテスト行列を用いて、one-way dissection オーダリングを用いた手法の効率的な実装方法やパラメータのチューニング方法などを検討する。今年度の主な成果としては、テスト行列を用いた検証の結果、疎行列の非ゼロ要素のみを厳密に保持するよりも、Skyline 形式を用いて、一部のゼロ要素を含めて保持する方が、性能が良くなる可能性が高いことが確認された。また、任意の疎行列を対象とする、既存の疎行列直接法のライブラリを適用するよりも、事前に分かっている疎行列の情報に基づき、オーダリングを行う方が、計算時間の点で有利となることが確認された。これらの知見を生かして、今後、冒頭で述べた当初の問題への適用を行う予定である。

1. 共同研究に関する情報

(1) 共同研究を実施した拠点名

- 北海道大学
- 東京大学
- 京都大学

(2) 共同研究分野

- 超大規模数値計算系応用分野
- 超大規模データ処理系応用分野
- 超大容量ネットワーク技術分野
- 超大規模情報システム関連研究分野

(3) 参加研究者の役割分担

- 深谷猛（北海道大学情報基盤センター）：研究総括，性能評価，チューニング
- 横川三津夫（神戸大学大学院システム情報学研究科）：アルゴリズムの開発・改良
- 山本有作（電気通信大学大学院情報理工学研究科）：アルゴリズムの開発・改良
- 工藤周平（電気通信大学大学院情報理工学研究科）：実装方式の改良
- 熊澤賢一郎（神戸大学大学院システム情報学研究科）：アルゴリズムの開発・改良
- 松崎継生（神戸大学大学院システム情報学研究科）：アルゴリズムの開発・改良

2. 研究の目的と意義

導電性高分子材料（ π 共役ポリマー）は電気伝導性を持つ高分子化合物で、様々な工学的応用が期待されている。例えば、加工性に優れ、柔らかい構造を持つことから、Internet of Things (IoT) の中心となるウェアラブルデバイスや、印字技術と組み合わせたプリンタブルエレクトロニクスへの応用が注目されている。

導電性高分子の電気伝導性を知るためには、時間発展型シュレーディンガー方程式に基づくシミュレーション（電子状態計算）を行う必要がある。シミュレーションの実行時間の大半は、Crank-Nicolson 法において、連立一次方程式を繰り返し解く部分に費やされる。そのため、シミュレーション全体を効率化するためには、連立一次方程式を高速に解く手法を開発する必要がある。

本研究課題では、導電性高分子材料の電子状態計算で現れる連立一次方程式の持つ二つの特徴に着目する。一点目は、問題の物理的な性質（ポリマー構造）に由来する、連立一次方程式の係数行列の疎構造（図 1）である。二点目は、同じ係数行列を持つ連立一次方程式を繰り返し解く、というシミュレーションの構造である。これらの点を踏まえて、本研究課題では、one-way dissection オーダリングに基づく、行列分解型の直接解法を用

いて、連立一次方程式を高速に解くことを目指す。

本研究課題の主たる目標は、上述の導電性高分子材料の電子状態計算の効率化であるが、同時に、one-way dissection オーダリングに基づく直接解法に関する知見を明らかにすることも重視する。具体的には、テスト行列を用いて、提案手法の性能評価を行い、アルゴリズムや実装方法の検討を行う。また、手法内部のパラメータ等のチューニング手法についても議論を行う。これらを通して、より効率的な手法を開発し、我々が対象とする電子状態計算以外にも、似た特徴を持つ問題に対して、同様の手法を展開することを目指す。

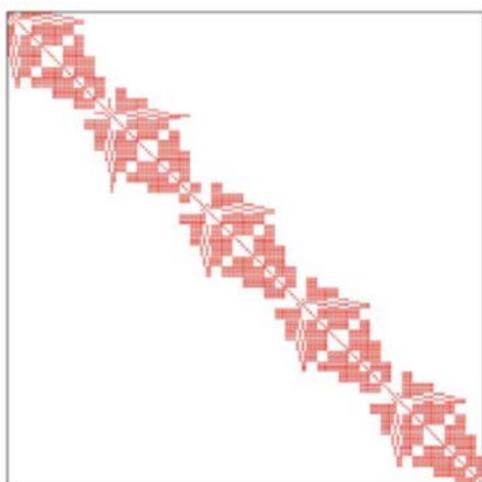


図 1 導電性高分子材料の電子状態計算で現れる連立一次方程式の係数行列の疎構造（行列の左上の一部分で、左上から右下に図の構造が続く）

3. 当拠点公募型共同研究として実施した意義

本研究課題では、数理（アルゴリズム）と高性能計算（HPC）の研究者が協調して研究を実施する。これにより、最新の計算機アーキテクチャの特性を考慮した上で、より効率的なアルゴリズムとその実装、あるいは、性能分析を行うことが可能となる。また、アーキテクチャの異なる複数の計算資源を効率的に利用することが可能であるため、研究対象の手法やプログラムを多角的に評価し、より本質的な分析を行うことが可能となる。

4. 前年度までに得られた研究成果の概要

新規課題のため該当しない。

5. 今年度の研究成果の詳細

最初に本年度の研究の方針を簡単に述べる。図 1 に示した、導電性高分子材料の電子状態計算において現れる連立一次方程式の係数行列は、物質のポリマー構造に由来する、帯形状の疎構造を有する。この疎構造と、Crank-Nicolson 法において、同じ係数行列を持つ連立一次方程式を繰り返し解く、という点から、我々は行列分解型の直接解法を適用することを考える。その上で、最近のマルチコア・メニーコア CPU を活用する、つまり、十分な並列性を引き出すために、one-way dissection オーダリングを適用する。

one-way dissection オーダリングに基づく直接解法の適用を行う第一段階として、図 1 の行列よりもシンプルなテスト行列を用いて、手法の基礎的な評価を実施する。具体的には、細長い二次元領域におけるポアソン方程式を 5 点差分公式で離散化した際に得られる疎行列を使用する。図 2 は細長い空間を離散化した格子点に対して、one-way dissection オーダリングによる番号付け（およびサブ領域への分割）を行った例である。図 2 において、 4×4 の正方形の領域をサブ領域と呼び、サブ領域同士の間には直接の依存関係が存在しないようにしている。

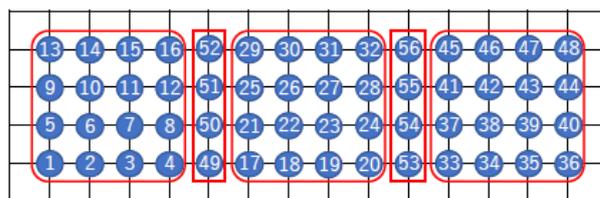


図 2 one-way dissection オーダリングの例

図 2 に示した one-way dissection オーダリングにより得られる疎行列の疎構造を図 3 に示す。なお、問題設定から、図 3 の行列は正定値対称行列となるので、以下では、その前提で説明を行う。図 3 の疎行列に対して、コレスキー分解を行う場合、左上側からの 3 つの対角ブロックに関連した分解を独立に行うことが可能である。これが、one-way dissection オーダリングを適用した効果である。また、得られた分解結果（三角行列）を用い

て、連立一次方程式の解ベクトルを求める処理(前進後退代入)においても、上述の対角ブロックに関連する部分は、並列に計算が可能となる。この点で、最近のマルチコア・メニーコア CPU に適した特徴を持った手法だと言える。

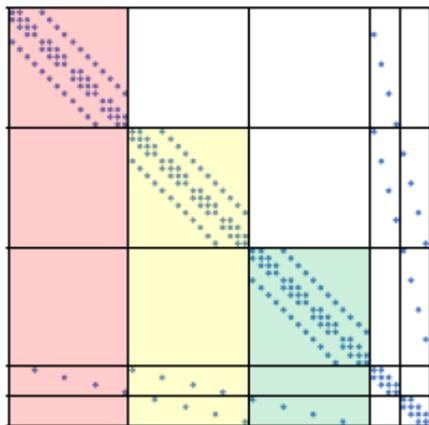


図 3 One-way dissection オーダリング (図 2) を適用した際に得られる疎行列の疎構造 (色の異なる部分に関する分解は並列に実行可能)

今年度の前半では、上記のテスト行列に対して、課題開始時に存在したプロトタイププログラムをベースにして、疎行列の格納形式の改良と細部領域数の設定と性能の関係の調査を主に行った。これらに関する成果の概要を以下に記す。

1) 疎行列の格納形式の改良

プロトタイプ版の実装では、各対角ブロックを密行列形式(二次元配列を利用する形式)で格納しており、対角ブロック内のゼロ要素も全て陽的に格納していた。この方式は、実装が容易であり、近年の SIMD 演算命令や BLAS ライブラリ(例:行列積を計算する DGEMM ルーチン)を利用する上でも利点がある。反面、陽的に格納するゼロ要素の数が非常に多くなってしまったため、演算量(と必要なメモリ量)の点では不利となる。

上述の密行列形式に対して、今年度前半では、CCS (Composed Column Storage) 形式とスカイライン形式の二種類の実装を新たに適用した。

CCS 形式は CRS 形式と本質的に等価(行と列が逆になった形)であり、疎行列の疎性を考慮した

一般的な格納形式の一つである。非ゼロ要素のみを格納するため、必要メモリ量と演算量の点で優れている。しかし、CCS 形式を用いて行列分解を(厳密に)行う場合、分解の過程で生じるフィルインを考慮する必要があるため、実装が煩雑になる。また、非ゼロ要素の位置(行列や列のインデックス)を配列から取得する必要があるため、配列の間接参照を避けることができず、条件判定の処理が増加することも多い。これらの点は、コンパイラによる最適化を妨げることも多く、高性能計算の観点からは不利な点と言える。

スカイライン形式は帯形状の行列の格納に適した格納形式であり、帯の中のゼロ要素は陽的に格納する。そのため、密行列形式ほどではないが、CCS 形式と比べて、必要メモリ量や演算量が増加する。しかし、今回考えている行列分解(ピボットなし)の場合、フィルインは帯の内部のみに発生するため、スカイライン形式は相性が良い。また、SIMD 命令を利用するという点においても、帯の中を連続に格納しているため、都合が良い。

以上のように、各格納形式には長所と短所があるため、実際にそれぞれを用いたプログラムを作成し、性能評価を行うことが必要である。

表 1 および表 2 は性能評価の結果の一例を示している。なお、テスト問題としては、二次元のポアソン方程式を 5 点差分公式で 2047×63 の格子点に離散化した際に得られる疎行列を用いている。表 1 が示すように、今回のテスト行列では、コレスキー分解においては、スカイライン形式が最も効率的であった。一方、密行列形式はサブ領域数が少ない場合に特に効率が悪いことが確認された。また、前進後退代入に関しても、スカイライン形式が優れていることが確認できた。ただし、コレスキー分解ほど、格納形式間で差が生じていなかった。

2) サブ領域数の設定方法

one-way dissection オーダリングにおいて、サブ領域の数をある程度自由に設定することができる。サブ領域に対応する対角ブロックの分解は並

列に計算可能となるため、使用する計算機が必要とする並列数（コア数など）以上に設定することが一つの指針となる。また、得られる疎行列の対角ブロックの大きさ（次元）はサブ領域の大きさと対応し、領域を小さく（領域を多く）するほど、対角ブロックが小さくなる。また、対角ブロックの帯幅もサブ領域の大きさに比例するため、帯幅を小さくする場合にも、サブ領域を多くする必要がある。対角ブロックの格納形式として、ゼロ要素を陽的に格納する、密行列形式やスカイライン形式を用いた場合、対角ブロックの大きさや帯幅が小さい方が良いので、その場合は、サブ領域に必要な並列数以上に多く設定することに利点がある。また、一般的に、帯幅が大きくなるほど、行列分解で発生するフィルインも増加する傾向にあるので、その点においても、サブ領域の数を多くする意味がある。

一方で、サブ領域の数が増加するほど、図 3 の疎行列の右下部分の大きさが増加する。この部分の分解（や前進後退代入）計算は逐次性が非常に強く、計算全体の並列化効率を低下させる。したがって、サブ領域の数が必要以上に多い場合、並列処理が可能な部分においては都合が良いが、逐次処理部分のコストが増加し、全体としては不利になることもあり得る。

以上のことから、サブ領域の数は、並列処理を行う部分と逐次処理となる部分のトレードオフを踏まえて、適切に設定する必要がある。ただし、昨今の計算機では、実際の性能（実行時間）を決定する要因が複雑・多様化しており、必ずしも机上の理論だけでは議論できない。そこで、実際にプログラムを実行し、性能データを用いながら検討することが重要となる。

表 1 および表 2 が示すように、サブ領域数については、格納形式によって最適な設定が異なることが確認された。CCS 形式とスカイライン形式については、サブ領域が多すぎると逆効果となることも確認できた。また、コレスキー分解と前進後退代入とで、最適なサブ領域数が同じとなった。

表 1 コレスキー分解の実行時間（秒）

格納形式	サブ領域数		
	16	64	256
密行列	414	28.2	1.49
CCS	1.64	1.29	2.85
スカイライン	0.45	0.14	0.22

表 2 前進後退代入の実行時間（秒）

格納形式	サブ領域数		
	16	64	256
密行列	0.13	0.042	0.023
CCS	0.016	0.008	0.013
スカイライン	0.011	0.006	0.010

本年度の後半は、主に、マルチフロンタル法に基づく実装の検討と、既存の疎行列直接法ライブラリとの性能比較の二点を中心に行った。これらに関する状況を以下に報告する。

3) マルチフロンタル法の適用

マルチフロンタル法は疎行列直接法の高性能実装方法の一種である。外積方式のコレスキー分解を変形したものであり、行列の要素の更新の処理を密行列演算として扱うことが可能となる。そのため、BLAS ライブラリや密行列演算に関する各種最適化手法を適用することができるようになる。

開発中のプログラムにマルチフロンタル法を組み込み、その効果の検証を行った。前述のテスト問題（二次元ポアソン方程式に由来する疎行列）を用いて、Skyline 形式を用いた実装と、マルチフロンタル法を用いた実装の性能を比較したところ、現状では、Skyline 形式を用いた実装の性能が高く、マルチフロンタル法の効果を確認することができなかった。性能向上が得られなかった理由としては、BLAS ルーチン呼び出すときの行列サイズが小さく、性能が低かったことや、マルチフロンタル法を導入する際に生じるデータのコピー等のオーバーヘッドが大きかったことが考えられる。

4) 既存のライブラリとの比較

疎行列直接法については、これまでに様々な研究が行われており、利用可能なライブラリもいくつか存在している。そのため、既存の（汎用の）ライブラリを用いる場合に比べて、本課題で開発中のプログラムの性能が優位となるか、調査を行うことは重要である。そこで、前述のテスト行列に関して、代表的なライブラリである PARADISO と開発中のライブラリの性能の比較を行った。

前述の二次元ポアソン方程式を離散化した問題に対して、natural ordering を施して得られた疎行列を PARADISO に与え、疎行列直接法の各処理の性能を測定した。その結果、数値分解および前進（後退）代入の実行時間は、PARADISO の方が開発中のプログラム（Skyline 形式を採用）よりも短い。シンボリック分解と数値分解の合計時間は開発中のプログラムの方が短いことが確認された。

開発中のプログラムは、One-way dissection オーダリングを行うことを前提に設計されており、オーダリング自体のコストは無視できる。一方、PARADISO は任意の（オーダリングが施された）疎行列が与えられることを前提としていると思われるので、Fill-in が少なくなるようなオーダリングを行うためには、一定のコストを要すると推測される。この結果から、事前に構造が分かっている行列に対しては、当然ではあるが、事前情報を用いた形で実装を行うことで、汎用のルーチンを用いる場合よりも有利となることが確認できた。

最後に、改めて、今年度全体を通しての主な成果をまとめる。まず、後半に行った既存ライブラリ（PARADISO）との比較の結果から、対象とする問題の情報を活用して専用プログラムを開発する意義は十分にあることが確認できたことにより、本研究の妥当性を示すことができた。また、疎行列の格納形式に関する検討の結果、Skyline 形式の有効性が確認されたことは、疎行列を扱う際に、非ゼロ要素のみを厳密に扱う（CCS 形式等を利用する）だけでなく、データを格納する際の連続性などが、現在の CPU 上でプログラムを実装する上

で重要となることが示唆されたと言える。これは、今回の疎行列直接法の実装だけでなく、疎行列ベクトル積など、疎行列を扱う場合全般に対して有益な知見である。

6. 今年度の進捗状況と今後の展望

本課題開始時に設定した課題は、1) マルチコア CPU 環境での性能評価、2) マルチコア CPU 向けチューニング、3) アルゴリズムの改良、4) 実問題を考慮した実装、の 4 つであった。当初は、冒頭で述べた、導電性高分子材料の電子状態計算で現れる疎行列を用いた性能評価まで行う予定であったが、実際には、二次元ポアソン方程式に由来するテスト行列に関する実装や評価までとなってしまう。当初の計画通りに進まなかった主な要因としては、課題開始時のプログラムのプロトタイプに対して、格納形式など、基本的な部分で検討を行うべき箇所があり、実装の方針等を議論する時間が必要であったことが挙げられる。また、後半に行ったマルチフロントル法の組み込み等を含めて、疎行列直接法のプログラムは、密行列計算のプログラムに比べて非常に複雑であり、実装のコストが予想以上であったことも挙げられる。これらの点は、課題申請時の見込みが甘く、計画が不十分であったことが原因である。その結果として、配分された計算リソースを十分に活用することができなかった点を含めて、反省点である。

上述のように、当初の計画からは齟齬が生じてしまったが、一方で、今年度得られた成果については、一定の意義があると考えている。特に、問題の事前情報を利用して実装したプログラムは、PARADISO のような汎用ライブラリよりも性能が高くなる見込みが得られたことで、本研究の目指している、実問題・アルゴリズム・実装を一緒に考えることの重要性を再認識できた。このことを踏まえ、現在は、電子状態計算のシミュレーションプログラムで疎行列を生成する段階で、natural ordering ではなく、直接法に都合のよいオーダリングを予め施すように

する、といったことを応用分野の研究者に加わってもらって検討している。また、疎行列データの格納形式に関する知見も、今後、疎行列を扱う上で意義のある結果であると考えている。

本課題は、JHPCN の課題としては、一旦区切りとなるが、現状で利用可能な計算リソースでも、研究の基本的な部分の継続は可能であるため、上述のように、新たに物性分野の研究者に深く関与してもらい、課題申請当初の目標を達成すべく、研究を継続している。また、この一年間の間に、疎行列直接法以外にも、同じ疎行列を係数とする連立一次方程式を繰り返し解く場合を想定した、効率的な反復法が提案されている。そこで、今後は、それらの新しい計算手法を含めて、対象とする電子状態計算の問題により適した専用解法の開発を進める予定である。

7. 研究成果リスト

(1) 学術論文

(2) 国際会議プロシーディングス

(3) 国際会議発表

- M. Yokokawa, T. Nakano, T. Fukaya and Y. Yamamoto, A parallel solver for a linear system with a symmetric sparse matrix by one-dissection ordering, Workbench on Sustained Simulation Performance (WSSP), Stuttgart, 10 October, 2017.

(4) 国内会議発表

- 中野智輝, 横川三津夫, 深谷猛, 山本有作, One-way dissection オーダリングによる連立一次方程式の直接解法の並列化, 第 162 回ハイパフォーマンスコンピューティング研究会, 熊本市, 2017 年 12 月 18 日 (情報処理学会研究報告ハイパフォーマンスコンピューティング, Vol. 2017-HPC-162, pp. 1-10).

(5) その他 (特許, プレス発表, 著書等)