

jh160039-NAJ

HPC 技術を活用した電磁場解析の高度化

岩下 武史（北海道大学）

概要 本研究では、計算機科学の研究者と電磁場解析分野の研究者が協働し、HPC 技術を活用することによって電磁場解析を高度化することに取り組んだ。具体的には、課題 1：時空間タイリングによる 3 次元 FDTD 解析の高性能化（高周波電磁場解析）、課題 2：ヒシテリシスを考慮した電動モータ解析の高速化（低周波電磁場解析）、課題 3：新しい誤差修正法による電磁場解析の高速化（低周波電磁場解析）の 3 つを主な研究対象とした。課題 1 については、2 次元 5 点差分型計算に基づいて各種の時空間タイリング手法の評価を行い、その後、高並列環境における有効性が確認できた混合型のタイリング手法を 3 次元 FDTD 法へ適用し、その性能評価を行った。課題 2 については、並列 TP-EEC 法を改良した方法を新たに提案し、同手法によりヒシテリシスを考慮した電磁場解析を高速化できることを示した。課題 3 については、3 次元非定常渦電流解析や非定常・非線形電磁場解析を対象として、同一または類似の係数行列を持つ複数の連立一次方程式を解く場合に有効性を持つ誤差修正法に関する研究を行い、反復法の収束性を高め、解析を高速化することに成功した。

1. 共同研究に関する情報

(1) 共同研究を実施した拠点名

北海道大学、京都大学

(2) 共同研究分野

- 超大規模数値計算系応用分野
- 超大規模データ処理系応用分野
- 超大容量ネットワーク技術分野
- 超大規模情報システム関連研究分野

(3) 参加研究者の役割分担

岩下武史 北海道大学情報基盤センター
－研究統括、3 次元 FDTD 法の高性能化、
誤差修正法の電磁場解析への応用
美船健 京都大学大学院工学研究科
－電磁場解析プログラム開発
高橋康人 同志社大学理工学部
－電磁場解析プログラム開発
平石拓 京都大学学術情報メディアセンター
－並列プログラミングに関する助言
岡本吉史 法政大学理工学部
－電磁場解析に関する助言
深谷猛 北海道大学情報基盤センター
－3 次元 FDTD 法の高性能化

2. 研究の目的と意義

電磁場解析は様々な電気機器、電子デバイスの

設計や評価に広く用いられ、実応用上の設計作業では欠くことのできないものとなっている。低周波電磁場解析の主たる対象である電動モータや変圧器については、省エネルギー性能に関する要求が高く、特に電気自動車やハイブリッド車向けのモータ設計に対する要求は極めて大きい。また、高周波電磁場解析分野では、携帯電話・モバイル端末の普及や自動運転自動車等の新たな技術分野の進展に伴い、工学的に電磁波を取り扱う機会が増加しており、ElectroMagnetic Compatibility (EMC) への対応や省電力性能・高機能性を踏まえた機器設計が求められている。こうした社会的な要請から、機器設計の基盤となっている電磁場解析をできるだけ高速化して欲しいという要望がある。本研究では、これらの状況を踏まえ、低周波／高周波電磁場解析を高速化するために、以下の 3 つの研究課題を掲げ、その実現を研究目的とした。

研究課題 1 時空間タイリングによる 3 次元 FDTD 解析の高性能化（高周波電磁場解析）

研究課題 2 ヒシテリシスを考慮した電動モータ解析の高速化（低周波電磁場解析）

研究課題 3 新しい誤差修正法による電磁場解析の高速化（低周波電磁場解析）

本研究ではこれらの研究課題に対して、計算機科学の研究者と電磁場解析分野の研究者の協働により、高性能計算 (HPC) 技術と解法技術の両面からその解決に取り組んだ。

3. 当拠点公募型共同研究として実施した意義

当研究グループのメンバーは、現状の電磁場解析プログラムをさらに高性能化するためには、単にプログラムの開発者が既存のライブラリや解法を組み合わせるのみでは不十分であり、計算機科学 (CS) 研究者との協働が必要であるとの見地に立ってきた。本年度の課題では、3 課題のいずれにおいてもこれらの協働の結果が活用されたと考えている。特に、研究課題 3 の誤差修正法を用いた電磁場解析の高速化では、非定常解析や非線形解析を対象とした新しい高速解法技術を電磁場解析に導入し、研究当初の狙い通りの成果を得ることができた。本成果は、アイデアの創出、高性能実装方式の助言を行った応用数学及び CS の研究者と実用電磁場解析への応用を実施した計算科学者の協働により創出されたものである。このように、本拠点公募型共同研究が行う分野横断型の研究支援の意義は大きいと考えられる。

4. 前年度までに得られた研究成果の概要

該当なし

(本研究課題のメンバーの一部は平成 27 年度も JHPCN の共同研究を実施したが、今年度の課題と研究テーマ・使用する計算プログラムが異なるため、本課題は新規課題として扱われている。)

5. 今年度の研究成果の詳細

研究課題 1 「時空間タイリングによる 3 次元 FDTD 解析の高性能化」

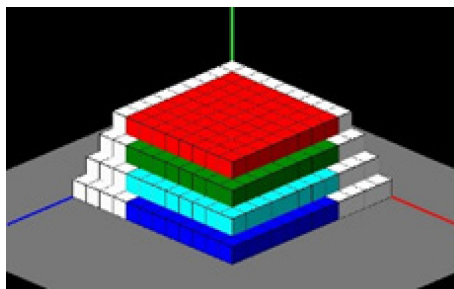
本課題では、高周波電磁場解析の標準解法の一つである 3 次元 FDTD 法の高速化に取り組んだ。FDTD 法は反復型ステンスル計算と呼ばれる計算パターンに分類され、この種の計算の高速化手法の一つとして、時空間タイリング手法が知られている。本課題では、最初に、2 次元 5 点差分型の反復型ステンスル計算を題材にして、近年のマルチコア・メニーコア CPU 環境により適した時空

間タイリング手法を調査し、得られた結果を踏まえて、最終的に 3 次元 FDTD 法に時空間タイリング手法を適用し、その効果を評価した。

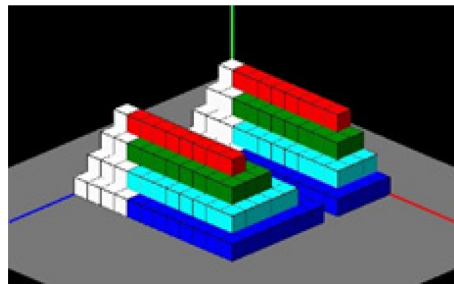
時空間タイリングにおけるタイリング戦略として、空間が 1 次元の場合には、平行四辺形型タイリングとダイヤモンド型タイリングの 2 種類が良く知られている。ステンスルの形状が単純であれば、上記の 1 次元の場合の手法の組み合わせにより、空間が 2 次元以上の場合でも時空間タイリングを施すことが可能である。本課題では、図 1(A) から(C)に示す 3 種類のタイリング手法の性能を 2 次元 5 点差分型計算において比較した。図 1(A)の平行六面体型ではタイル間に依存関係があるため、並列化の対象はタイル内の計算に限定される。一方、(B)の混合型 (平行四辺形型・ダイヤモンド型を各座標軸方向で用いる) や(C)のピラミッド型 (両座標軸方向にダイヤモンド型のタイリングを行う) では、タイル同士を並列に処理することが可能となっており、高並列環境により適していると言える。

図 2 は標準的なマルチコア CPU (Xeon E5-2695) 上で、スレッド数を変えながら、上述の 3 種類の時空間タイリングを施したプログラムの性能を測定した結果である。また、メニーコアプロセッサ (Xeon Phi 5120D) 上でも同様の評価を行った (図 3)。本評価の結果、混合型が有望であることが分かった。また、コア数が特に多い場合は、ピラミッド型を用いて並列性を十分に確保する必要があることも確認された。

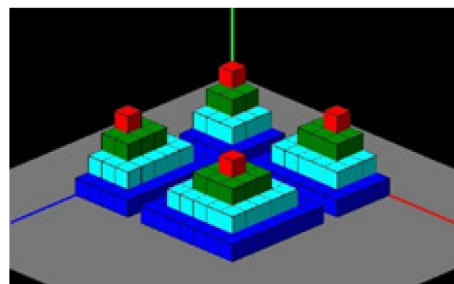
[後期の研究成果] 上記の 2 次元 5 点差分型の計算結果を踏まえ、3 次元 FDTD 法に対して混合型の時空間タイリングを施し、その効果を検証した。具体的には、x 軸の 1 次元方向のみにダイヤモンド型タイリングを採用した実装 (dx-pypz) と x 軸及び y 軸の 2 次元方向にダイヤモンド型タイリングを採用した実装 (dxdy-pz) を行った。素朴な実装 (naive) と混合型タイリングを施した上記の 2 種類の実装を最新のマルチコア CPU (Xeon E5-2695) 上で評価した結果 (素朴な実装に対する高速化率) を図 3 に示す。評価を行った実装は



(A) 平行六面体型タイリング



(B) 混合型タイリング



(C) ピラミッド型タイリング

図 1 2次元5点ステンシルに対する様々な時空間タイリング手法 (赤と青の軸が空間方向, 緑の軸が時間方向)

プロトタイプ版であるが, 現状で, 素朴な実装に対して, 1.7 倍程度の性能向上が確認することができた. 一方, メニーコア CPU (Xeon Phi) 環境では, 素朴な実装に対して, 時空間タイリングの効果を十分に確認することができなかった. 本結果の原因として, SIMD 命令の利用率や Xeon Phi が備える高速メモリ (MCDRAM) の影響が考えられるが, 現在の所, 十分な分析に至っていない. 従って, 今後もメニーコア CPU 環境向けの時空間タイリングの実装については改良する必要があると考えている.

研究課題 2 「ヒステリシスを考慮した電動モータ解析の高速化」

近年の電気機器設計では, 鉄損等を高精度に評

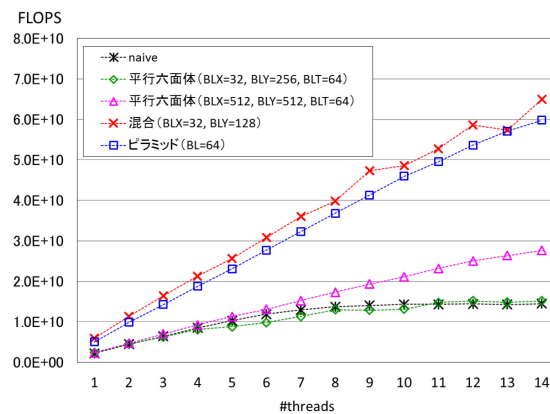


図 2 Xeon E5-2695 での 2次元 5 点差分型計算の評価結果

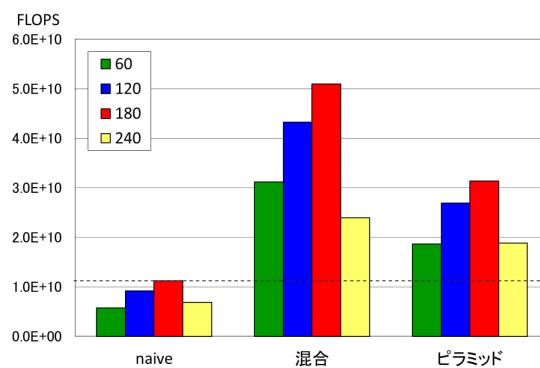


図 3 Xeon Phi 5120D での 2次元 5 点差分型計算の評価結果 (スレッド数: 60, 120, 180, 240)

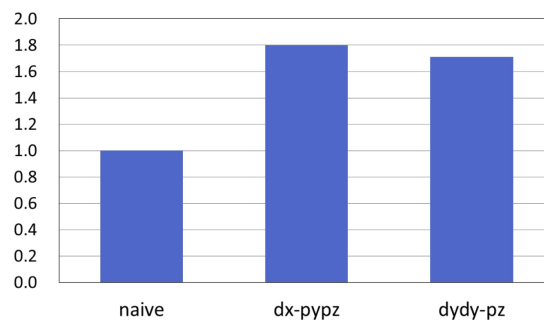


図 4 Xeon E5-2695 における時空間タイリングを施した 3次元 FDTD 法の性能評価結果 (Naive な実装に対する高速化率)

価するために, 磁性材料のヒステリシス現象を考慮した磁界解析が盛んに行われるようになってきている. しかし, このようなヒステリシスを考慮した解析は, 初磁化曲線を用いた通常の磁界解析と比較して一般に多くの計算時間を要し, また現在の磁化状態が過去の遷移状態に依存するため本

質的に過渡解析となる。近年、電磁場解析分野では、過渡解析における時間方向の収束性向上のための手法 (TP-EEC 法等) が用いられ、効果を上げてきているが、ヒステリシスを考慮する場合、未知変数のみならず各要素の磁化履歴も補正する必要があり、従来の定常解高速求解法をそのまま適用することはできない。

そこで本研究課題では、時間領域での並列計算手法である並列 TP-EEC 法をベースとして、ヒステリシス磁界解析のための汎用的な定常解高速求解法の開発を行った。具体的には、並列化 TP-EEC 法より算出される 1 または半周期の磁束密度の時系列波形を用いて未知変数に加えて磁化履歴の補正も行うことで、励磁条件に依らず適切なヒステリシスループが定常状態として得られるようにする。具体的な手順を以下に示す。

並列 TP-EEC 法により電磁場に関する未知変数の定常状態への収束は加速されるが、ヒステリシス磁界解析においてはさらに磁化履歴に対する補正も必要となる。そこでまず、各要素の磁化履歴を消磁した後、並列 TP-EEC 法による補正後の過渡解から暫定的な磁束密度の 1 周期波形を再現し、この再現波形に基づいて磁化履歴を更新する。この手順を繰り返すことで未知変数の定常状態が求まれば、対応した磁化履歴も適切に求められていることとなる。ただし、磁化履歴の補正は (磁気ヒステリシスを考慮する要素数) × (積分点数) 回実施する必要があるため、ヒステリシスを考慮する要素数が多い場合には多くの演算量を要する。暫定的な 1 周期波形による磁化履歴の更新は逐次的な処理であるが、要素毎に独立に実行できるため、効率的な並列計算が可能である。ただし、後続の電磁場に関する計算のため、磁化履歴をプロセス間で通信する必要がある。

図 5 に示すリングコアモデルを対象として、開発手法の妥当性および並列台数効果の検証を行った。1 周期を 1024 ステップに分割し、5 周期分の過渡解析を行った。この場合、並列 TP-EEC 法の補正は 5 回行われる。使用計算機は、京都大学の Appro GreenBlade 8000 である。最大 16 ノード

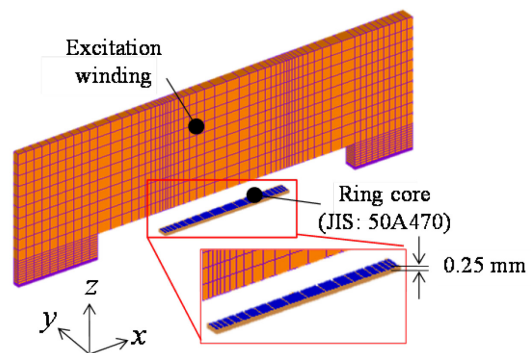


図 5 インバータ励磁下リング試料 (1/720 モデル)

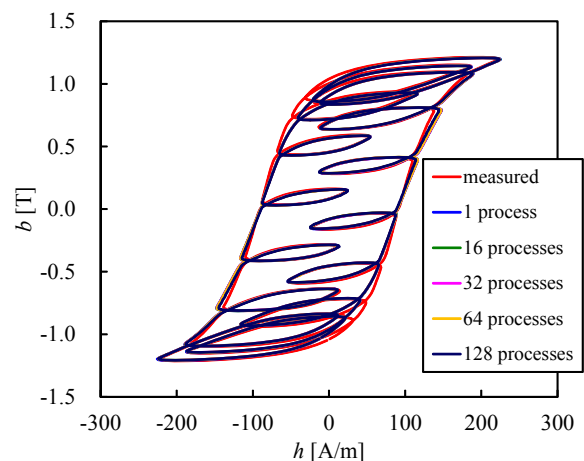


図 6 解析結果と測定結果の比較

表 1 開発手法における速度向上率

Number of processes	Calculation time [s]	Parallel speedup
Sequential	14278.9	1.0
16	1646.4	8.9
32	976.1	15.1
64	576.0	25.6
128	516.2	28.5

(256 コア) を用いて台数効果を検証した。

図 6 に、解析結果と測定結果の比較を示す。プロセス数によらず測定結果とほぼ一致したヒステリシスループがえられており、ヒステリシスを考慮した並列 TP-EEC 法の妥当性が確認できる。表 1 に、図 6 に示すヒステリシスループを得るまでに要した計算時間および逐次計算に対する速度向上率を示す。規模の小さい問題であるが、128 プロセス使用時では、時間方向の並列化を行わない逐次的な TP-EEC 法を用いた場合と比較して約 30 倍の高速化を達成しており、提案手法の有効性

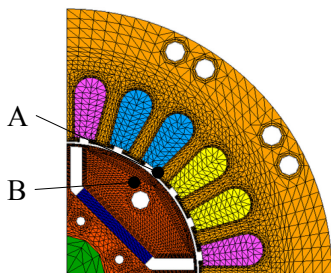
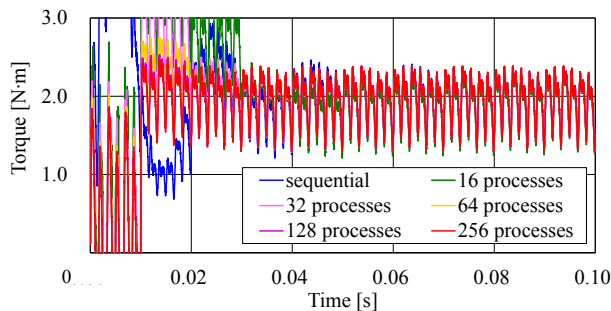


図 7 インバータ駆動 IPM モータ (1/4 モデル)

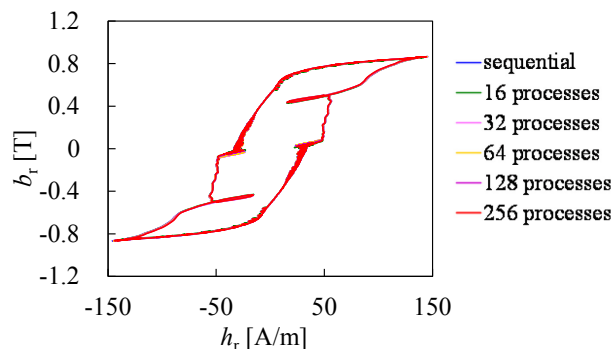
が確認できる。

[後期の研究成果] 図 7 に示す IPM モデルを対象として、開発手法の性能検証を行った。インバータ電圧波形は正弦波三角波比較方式により作成し、1 周期を 2048 ステップに分割して 5 周期分の過渡解析を行った。なお、並列化 TP-EEC 法による補正回数は 5 回としている。要素数は 10684、未知変数の数は回路方程式との連成も含めて 5339 である。使用計算機は、京都大学の Appro GreenBlade 8000 および北海道大学の Hitachi SR16000 である。最大 16 ノード (256 コア) を用いて台数効果を検証した。

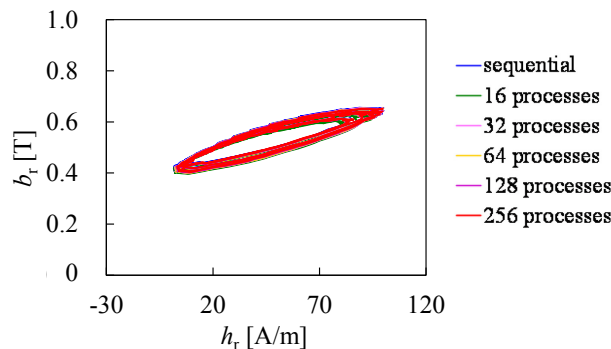
図 8 に、トルク波形の時間変化および図 7 中の A 点 (固定子ティース先端) および B 点 (回転子表面付近) での定常状態でのヒステリシスループ (径方向成分) を示す。並列 TP-EEC 法ではプロセスごとに独立に設定した初期値に基づいて過渡解析を行うため、過渡解析の初期段階では大きな誤差がみられる。しかし、ヒステリシス磁界解析においても、提案手法による補正を行うことで徐々に定常状態に近づいていく様子が確認できる。また、最終的にプロセス数によらずほぼ一致したヒステリシスループが得られており、ヒステリシスを考慮した並列 TP-EEC 法の妥当性が確認できる。表 2 および表 3 に、5 周期の過渡解析に要した計算時間および逐次計算に対する速度向上率を示す。モデル規模が小さい問題であるがヒステリシスを考慮する要素数は大きいため、256 プロセス (256 コア) 使用時において、通常の TP-EEC 法を用いた過渡解析 (Sequential) と比較して約 70 倍の高速化を達成しており、提案手法の有効性が確認できる。



(a) トルク波形



(b) ヒステリシスループ (固定子先端)



(c) ヒステリシスループ (回転子先端)

図 8 解析結果の比較

研究課題 3 「新しい誤差修正法による電磁場解析の高速化」

本課題では、誤差修正法のための新たな写像行列の構築方法を提案し、その効果について、3 次元渦電流解析の例題を用いて検証した。

実用的な電磁場解析では、時間発展問題のように同一の (あるいは類似した) 係数行列を持つシステムについて連続的に多数回の求解を行うケースが珍しくない。美船 (分担), 岩下 (代表) らは、過去に扱ったシステムの反復求解プロセス中の誤差ベクトルに着目し、新たに扱うシステムの反復求解を高速化する誤差修正法について検討を行っ

表 2 並列 TP-EEC 法 の速度向上率
(Appro GreenBlade 8000)

Number of processes	Calculation time [s]	Parallel speedup
Sequential	70026.0	1.0
16	6986.4	10.0
32	4153.7	16.7
64	2292.9	30.5
128	1288.1	54.4
256	1013.6	69.1

表 3 並列 TP-EEC 法 の速度向上率 (SR16000)

Number of processes	Calculation time [s]	Parallel speedup
Sequential	138387.0	1.0
16	21630.2	6.4
32	11002.8	12.8
64	5909.1	23.4
128	3335.5	41.5
256	2021.2	68.5

てきた。この誤差修正法の成否は、誤差修正アルゴリズム中で使用される写像行列が適切に作成されているか否かに依存する。

初期の試みでは、求解に要した反復回数の 1/2 程度の反復回数時点における誤差ベクトルを過去に扱った線形システムから 1 本ずつ選び、それを単純に横に並べることで写像行列を構築した。しかしながらこの方法は、誤差ベクトルを用いた写像行列の構築法として最も単純な方法であり、改善の余地があると考えられる。また、誤差修正の効果の薄い成分が補助行列に含まれることで計算コストを悪化させてしまう問題も見られた。そこで新たに、残差ノルムの収束特性に着目して選択した複数の誤差ベクトルを元に、係数行列 A に対して $\|Ap\| \ll \|p\|$ となる p を Rayleigh-Ritz 法によって見出し、これを用いて写像行列を構築することでより効果的な写像行列の生成を行う手法を開発した。

図 9 に示す例題を用いて、コイル電流の上下に複数の穴を持つ導体（磁性体）板が存在するようなモデルについて、対称性を考慮した 1/8 領域の解析を行った。ここでは磁性体の磁気特性は線形とし、導体内部を周回する電流を表現するため、穴の部分には擬似導体を挿入した。

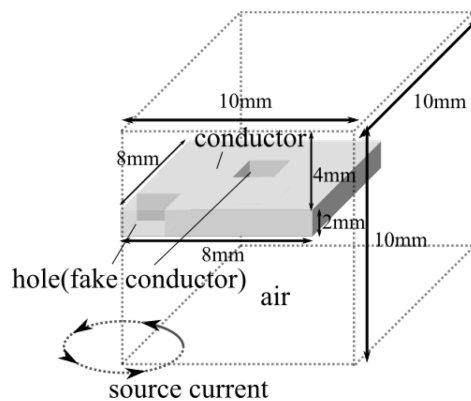


図 9 線形解析のモデル

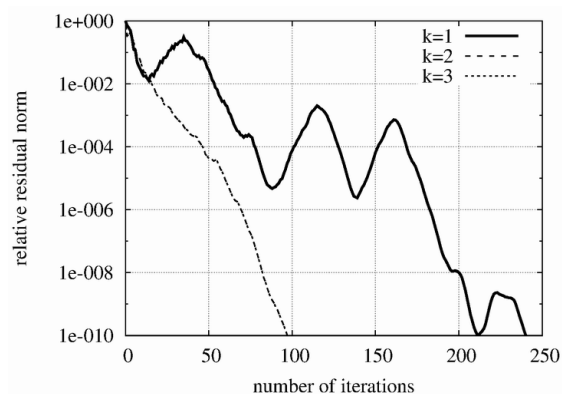


図 10 相対残差ノルムの収束履歴

図 10 に、開発した誤差修正手法を ICCG 法に適用した場合の最初の数ステップの残差ノルム履歴を示す。最初のステップ ($k=1$) で通常の ICCG 法によって反復求解を行うとき、その過程で残差ノルムは単調には減少していない。これは解析モデル中に挿入された複数の疑似導体の存在に起因していることが本研究で明らかとなっている。これに対して 2 ステップ目以降 ($k=2, 3$) では、最初のステップで作成した写像行列を用いた誤差修正を行うことで、残差ノルムをほぼ単調に減少させることに成功している。また 60 ステップの解析を行った総計算時間については、誤差修正を使用しない場合と比べてほぼ 2 倍の高速化効果が得られた。

[後期の研究成果] 実用的な電気機器の解析では、非線形磁気特性を有する磁性材料が解析モデルに含まれる場合が多い。この場合、ニュートンラフソン法等により線形化したシステムを繰り返して解くこととなるが、それらのシステムの係数行

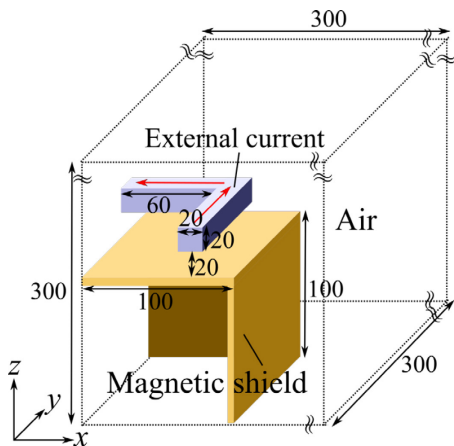


図 11 非線形解析のモデル

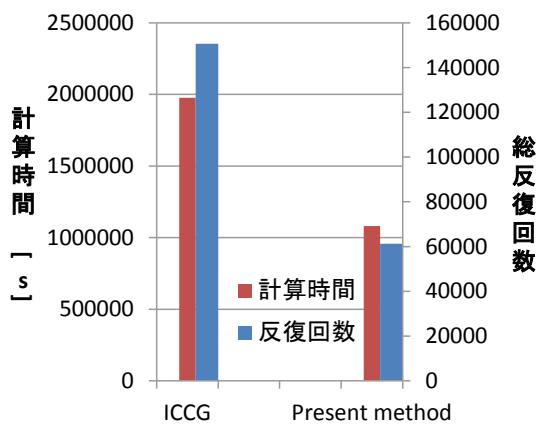


図 12 計算時間および総反復回数

列は同一ではないものの何らかの類似性を持つと期待できる。そこで、図 11 に示すモデルを使用して、非線形渦電流解析における提案手法の有効性について検討した。

非線形解析に要した計算時間及び ICCG 法の総反復回数を図 12 に示す。本研究で開発した誤差修正法を使用することで、この例題では、反復回数を約 60%、計算時間を約 45%削減することができた。

6. 今年度の進捗状況と今後の展望

本研究では、低周波／高周波電磁場解析を高速化するために、3 つの研究課題（課題 1：時空間タイリングによる 3 次元 FDTD 解析の高性能化、課題 2：ヒステリシスを考慮した電動モータ解析の高速化、課題 3：新しい誤差修正法による電磁場解析の高速化）を対象とした研究を行った。前節で述べたように、全ての研究課題について概ね

当初の計画通りの成果を上げることができた。なかでも研究課題 3 では、非線形解析モデルや外部回路を含む解析モデル等により実应用到に近いモデルにおける提案手法の有効性の実証に成功し、当初の想定を上回る成果を得ることができた。

今後の展望に関しては 3 課題に共通した取り組みとして、メニーコアプロセッサの有効活用をあげることができる。現在、代表的なメニーコアプロセッサである第二世代の Xeon Phi プロセッサによるシステムが、筑波大学・東京大学・京都大学で利用可能であり、本課題においても京都大学の資源を利用した性能評価や高性能化の検討を行った。しかしながら、同プロセッサによるシステムの供用開始は 2016 年後半と比較的最近であり、その性能を応用分野で効率的に利用するための知見はまだ十分に蓄積されているとはいえない状況にある。特に、バンド幅の大きいプロセッサ内の高速メモリの効率的利用法やノード内のプロセス／スレッド数の適切な設定等、実際に使用した結果として明らかとなったいくつかの現象・課題があり、今後、これらを踏まえた研究が求められると考えられる。

7. 研究成果リスト

(1) 学術論文

圓谷友紀, 岡本吉史, 里周二: 「辺有限要素法による電磁界解析におけるブロックマルチカラーオーダリングを援用した並列化前処理付き MRTR 法に基づく線形方程式求解の高速化」, 電気学会論文誌 A, Vol. 136, No. 7, pp. 395-403, 2016.

T. Iwashita, S. Kawaguchi, T. Mifune, and T. Matsuo, “Automatic mapping operator construction for subspace correction method to solve a series of linear systems,” JSIAM Letters, Vol. 9, pp. 25-28, 2017.

Y. Takahashi, J. Kitao, K. Fujiwara, A. Ahagon, T. Matsuo, T. Iwashita, and H. Nakashima, “Steady-State Analysis of Hysteretic Magnetic Field Problems Using a Parallel Time-Periodic Explicit-Error Correction Method,” IEEE Trans. Magn., 2017 (to be published).

(2) 国際会議プロシーディングス

Y. Takahashi, J. Kitao, K. Fujiwara, A. Ahagon, T. Matsuo, T. Iwashita, and H. Nakashima, “Steady-State Analysis of Hysteretic Magnetic Field Problems Using Parallel TP-EEC Method,” 17th Biennial Conference on Electromagnetic Field Computation (IEEE CEFC), MP052, 2016.

T. Tsuburaya, Y. Okamoto, and Z. Meng, “Parallelization Performance of Robust Incomplete Factorization Preconditioner for Real Symmetric Linear Systems Arising in Magnetic Field Analyses,” 17th Biennial Conference on Electromagnetic Field Computation (IEEE CEFC), WP031, 2016.

S. Kawaguchi, T. Mifune, T. Iwashita, and T. Matsuo, “Fast Transient Eddy-Current Analysis Using Error Correction Method for Series of Linear Systems,” 17th Biennial Conference on Electromagnetic Field Computation (IEEE CEFC), WP072, 2016.

(3) 会議発表(口頭, ポスター等)

河口慈, 美船健, 岩下武史, 松尾哲司, 「過去の求解プロセスを利用した誤差修正法による 3 次元渦電流過渡解析の高速化」, 電学静止器回転機合同研資, SA-16-072/RM-16-118, pp. 87-92, 石垣市, 2016.

深谷猛, 岩下武史, マルチコア・メニーコア環境における反復型ステンシル計算と時空間タイリング, 日本応用数学会 2016 年度年会, 北九州市, 2016.

深谷猛, 岩下武史, 反復型ステンシル計算のマルチコア・メニーコア向け実装に関する考察, 本応用数学会「行列・固有値問題の解法とその応用」研究部会 第 21 回研究会 (SWoPP2016), 松本市, 2016.

圓谷友紀, 岡本吉史, 孟志奇: 「辺有限要素法から得られる線形方程式におけるロバスト不完全分解前処理の並列性能」, 平成 28 年電気学会基礎・材料・共通部門大会, 6-C-a1-1, p. 172, 北九州市, 2016.

深谷猛, 岩下武史, 時空間タイリングによる反復型ステンシル計算の性能向上に関する基礎評価, 大学 ICT 推進協議会 2016 年度年次大会, 京都市, 2016.

T. Fukaya and T. Iwashita, “Performance Evaluation of Time-Space Tiling Strategies for Iterative Stencil Computations on Multi/Many-Core CPU Systems,” SIAM Conference on Computational Science and Engineering (CSE17), Atlanta, USA, 2017.

T. Iwashita, S. Kawaguchi, T. Mifune, and T. Matsuo, “Automatic Mapping Operator Construction for a Subspace Correction Method Applied to a Series of Linear Systems,” SIAM Conference on Computational Science and Engineering (CSE17), Atlanta, USA, 2017.

(4) その他(特許, プレス発表, 著書等)