

jh140023-NA13

## 次世代パワーデバイス実現に向けた大規模・大領域 半導体デバイスシミュレーションの研究

秋山 豊、小田 嘉則、松澤 一也、阿部 真利（株式会社 半導体理工学研究センター）  
小田中 紳二、鍾 菁廣（大阪大学 サイバーメディアセンター）  
福田 浩一、池上 努、越本 浩央（産業技術総合研究所）

**概要** 東日本大震災以来、従来にも増してエネルギーの効率的利用・省エネルギー化が必須となってきた。中でも自動車、電車や家庭用クーラー、ビル等の空調システムで利用されているパワーデバイスによるインバータシステムは重要なキーシステムであり、この効率化が今後のグリーン社会の実現に必須である。これまでの半導体シミュレータ（特にデバイスシミュレータ）はメモリと計算時間の関係で IGBT の 3 次元計算では数セル程度の規模（数十万メッシュ）しか計算できない。IGBT は大電流を流すために数万セルを並列に並べ、またセルの最終端で数千ボルトの耐圧を持たせるための 3 次元的な工夫が必要であり、セル動作のばらつき等を含めたシミュレーションによる最適化には 2～3 桁レベルの大規模計算を高速に行う必要がある。

### 1. 共同研究に関する情報

手法の評価検討

#### (1) 共同研究を実施した拠点名

- 半導体理工学研究センター
- 大阪大学サイバーメディアセンター
- 産業技術総合研究所

#### 産業技術総合研究所

福田 浩一：領域分割・行列分割プログラムの  
移植・仕様構築

池上 努：領域分割・行列分割プログラムの  
移植・仕様構築・進捗管理

#### (2) 共同研究分野

##### □ 超大規模数値計算系応用分野

越本 浩央：領域分割・行列分割プログラムの  
移植・仕様構築・開発・評価

#### (3) 参加研究者の役割分担

##### 半導体理工学研究センター

- 秋山 豊：進捗管理・評価  
小田 嘉則：MPI・領域分割法仕様構築・  
開発・評価  
松澤 一也：領域分割法仕様構築・評価  
阿部 真利：デバイスシミュレータの開発・  
評価

##### 大阪大学サイバーメディアセンター

- 小田中 紳二：応用数学的理論に基づく指導  
並びに、評価結果に基づく検  
討・新手法の考案  
鍾 菁廣：応用数学的理論にも続く並列化

### 2. 研究の目的と意義

#### 研究目的

将来のグリーン社会の実現にとって、電力制御装置や電力変換装置の飛躍的効率化が必須である。そのための次世代電力用半導体素子（パワーデバイス）の実現が求められている。その動作原理の理解や動作特性向上のための大規模・大領域半導体デバイスシミュレーションを実現するために、Poisson 方程式、移流拡散方程式、熱伝導方程式からなる方程式系をメモリー分散をおこないつつ安定で高速に解法する並列化手法を開発し、その性能を評価する。

## 研究の意義

東日本大震災以来、従来にも増してエネルギーの効率的利用・省エネルギー化が必須となってきている。中でも自動車、電車や家庭用クーラー、ビル等の空調システムで利用されているパワーデバイスによるインバータシステムは重要なキーシステムであり、この効率化が今後のグリーン社会の実現に必須である。半導体デバイスを用いた効率化はこれまででもなされてきており、特に IGBT (Insulated Gate Bipolar Transistor) の出現とその改良は自動車の燃費の向上にも端的に表れている。これまではシリコン (Si) を用いた IGBT 基本セル 1 セルの 3 次元的な構造の最適化をプロセス・デバイスシミュレータを用いて行ってきたが、今後は奥行き方向の 3 次元的な構造の最適化や終端構造を含めた基本セルとして多数セル+終端構造+外部回路をシミュレーション領域として扱える大規模な 3 次元 シミュレーションが強く求められている。

現状これら大規模構造の最適化は人のノウハウによるところに大きく依存しており、我々は設計最適化のためにスーパーコンピュータ支援型 CAD として実現・効率化を目指している。更に現在は Si を用いたデバイスが主であるが、近年開発が加速されている SiC や GaN 等の WBG (Wide Band Gap) 半導体にも使用可能であり、WBG 半導体の高温・高耐圧・省エネという特徴からパワーデバイスとして効率化が図れ (エネルギー損失の削減等)、日本や世界のエネルギー削減に寄与し、社会のグリーン化に大きく貢献できる。下図に波及効果を含めた解析対象デバイスの一例を示す。

	出典: STマイクロ -SISPAD2011 イメージセンサ	パワー: IGBT	マイコン/フラッシュ
EWS 群 (2~10 台)	1 ベイヤー (約 20T) の 一括解析	セルと終端の数セル	9 セル (ディスタブ等)
スパコン	1 / 4 チップ	中心と終端の数十万セル	2~3 ストリング (セルフブスト等)

## 必要性

これまでの半導体シミュレータ (特にデバイスシミュレータ) はメモリと計算時間の関係で

IGBT の 3 次元計算では数セル程度の規模 (数十万メッシュ) しか計算できない。IGBT は大電流を流すために数万セルを並列に並べ、またセルの最終端で数千ボルトの耐圧を持たせるための 3 次元的な工夫 (FLR: Field Limiting Ring 等) が必要であり、セル動作のばらつき等を含めたシミュレーションによる最適化には 2~3 桁レベルの大規模計算を高速に行う必要がある。

これを実現するためには

- (1) 電場内の移流拡散現象で強非線形問題となる電子輸送シミュレーションの収束性 vs 並列化効率の研究が必要である。このため、メモリー分散をおこないつつ安定で高速に解法する並列化手法を開発する。
- (2) 1. デバイス・回路の分割、2. デバイス領域分割、3. 行列演算の並列化の手法から、最適な並列化演算の在り方を探る。ここで用いられる数値スキームは、半導体分野で適用される高精度保存スキームだが、一般に、移流反応拡散問題に広く展開できる手法であり、波及効果が大きい。
- (3) 性質の異なる複数の連立方程式の一括解法。すなわち行列演算は、連立方程式の Newton 法から構成される大規模 Jacobi 行列となり、その行列解法も対象である。
- (4) 桁落ちをふせぐための多倍長計算を必要な部分のみに適用した高速計算技術が必要である。

特に SW としては分散処理を行う手法として、理想的には計算順序による誤差のみとなる行列分割と領域を分割して適当な境界条件を課して反復的に解く手法があり、(1)~(4) はお互いに強い依存関係をもつため、応用数学的な理論によるチェック・検証と実際の計算結果評価を行いながら、手法の開発を進める必要性がある。

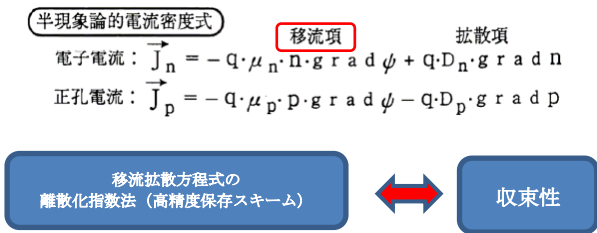
基本方程式

$\Psi$ : 電位、 $n$ : 電子密度、 $p$ : 正孔密度

$$\text{ポアソン方程式: } \nabla \cdot (\epsilon \nabla \Psi) = \rho = 0$$

$$\text{電子電流連続式: } \nabla \cdot \vec{J}_n = -\frac{\partial n}{\partial t} + (G - R) = 0$$

$$\text{正孔電流連続式: } \nabla \cdot \vec{J}_p = \frac{\partial p}{\partial t} + (G - R) = 0$$



すなわち、本課題の並列化研究の中心的課題は、半導体モデルの並列計算手法の研究である。半導体モデルは、Poisson 方程式と連立された電子・正孔の輸送を記述する移流拡散方程式であり、強非線形問題となる。課題の中に、収束性 vs. 並列化効率の研究がある。また、パワーデバイスへの応用という意味からも、大規模領域に対処するために、半導体方程式系の領域分割法の研究が必要となる。

### 3. 当拠点公募型共同研究として実施した意義

大規模・大領域半導体デバイスシミュレーションのために、メモリー分散をおこないつつ安定で高速に解法する並列化手法を開発する。そのために、Overlapping Schwartz 法をベースにした領域分割法を適用するが、数値スキームは、半導体分野で適用される非線形高精度保存スキームであり、連立方程式の Newton 法から構成される大規模 Jacobi 行列が対象となる。このため、並列化効率向上のためには、MPI+OpenMP のハイブリッド演算だけでなく、シリアル計算を強化した MPI+OpenMP/ベクトル演算の”多重”ハイブリッド演算の評価も必要不可欠ある。その為、ベクトル-並列計算機 (阪大 SX システム) の利用が必須であり、本公募型共同研究により、大阪大学サイバーメディアセンターに於いて、並列化を専門とするコンピュータ・サイエンス技術者、数理アルゴリズムを専門とする応用数学研究者、及び企業に於ける TCAD ソフトウェアを開発している技術者が連携して同一課題に取り掛かることが出来、より汎用的で適用範囲の広いシミュレーション技術の研究を行うことが出来る事には大きな意義がある。

### 4. 前年度までに得られた研究成果の概要

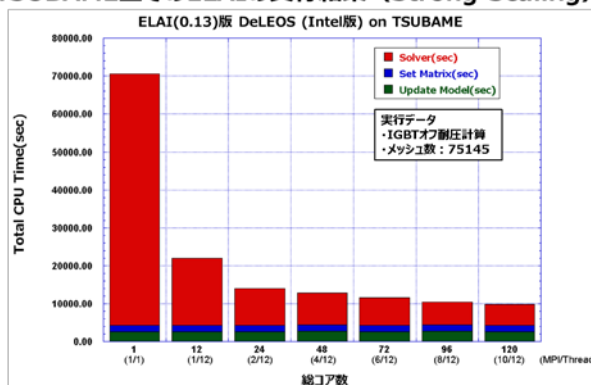
(新規課題の為、無し)

### 5. 今年度の研究成果の詳細

研究対象の一つは、日本半導体メーカーが参画する研究開発コンソーシアムで研究開発してきた 3 次元シミュレーションシステム (ENEXSS) の一部である、デバイスシミュレータ DeLEOS であり、3D 有限体積法をベースとしている。

当初予定では、阪大サイバーメディアセンターのシステムへの入れ替えまでは、DeLEOS の PC クラスタへの移植を進める予定であったが、後述するように PC クラスタの OS のバージョン等の問題で、中間報告までは領域分割アルゴリズムの検討を中心に行なった。また、PC クラスタに関しては、サイバーメディアセンターで利用する予定であった計算機は、仮想化システムであり、HPC 計算に向かない事が判明し、さらに MPI ライブラリもこれまで利用してきた OpenMPI が使えず、IntelMPI のみしか使えない事も判明したので、PC クラスタに於ける計算は東工大の TSUBAME を用いて行なった。行列分割を用いて、TSUBAME 上で OpenMP/MPI を用いた並列度の効果は以下のように評価された (下図)。

TSUBAME上でのELAIの実行結果 (Strong Scaling)



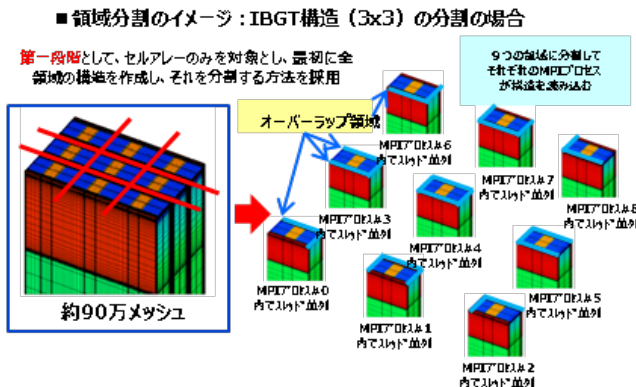
TSUBAME 上での行列分割による並列計算結果

上図は、1 セルの 3 次元 IGBT (メッシュ数約 10 万) を実行コア数を固定 (12) し、ノード数を増やさせ、コア数で 120 コアまで実行比較を行なっ

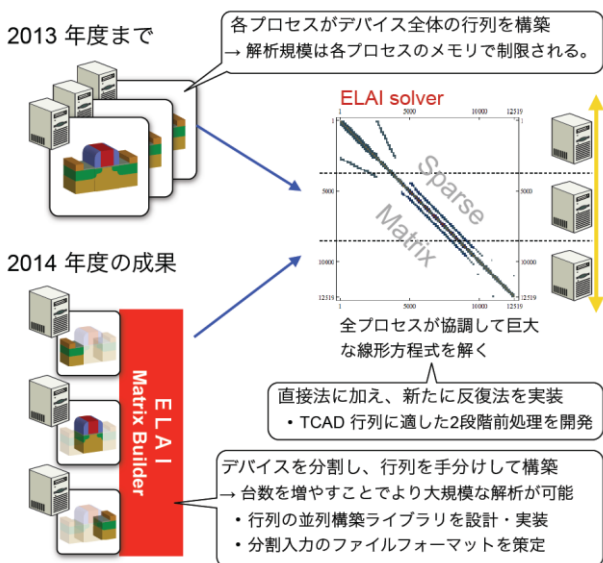
た、いわゆる Strong Scaling の効果を見たものである。

次に今回の目的である、一ノードに載らない大規模な計算を可能にするために、領域分割法と高速行列解法による並列化手法の開発を進めた。

ここで 3 次元における領域分割のイメージを示したものが下図である。



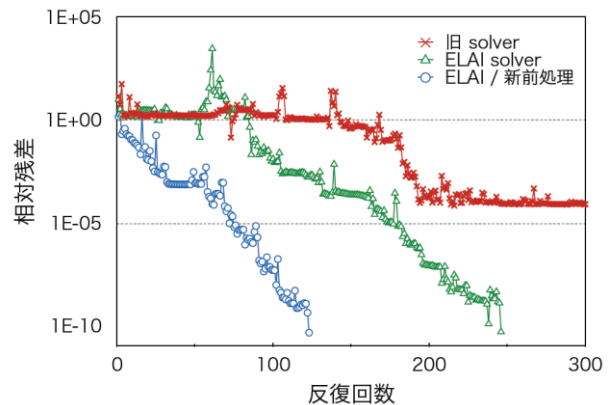
これは、IGBT を縦横 3 個ずつ、全体で 9 個のデバイスを 9 領域に分割し、MPI 並列化により各 rank 毎に計算を進める場合の例である。中間報告以降、当初の実装結果に改良を加えつつ行なったテスト結果や、後述する理論面からの結果を踏まえ、幾つかの段階を持って、開発を進めた。その第一段階として、まず TCAD シミュレーションで扱う大規模 Jacobi 行列を領域分割法に基づいて構築する手法を下図 に示す。



領域分割法への取り組み方針

TCAD で扱う連立方程式は強い非線形の依存関係を持つため、その Jacobi 行列を Schwartz 型に分割しても必ずしも解ける保証はない。そこで、後述する理論的検証が完了する前段階として、まず完全な Jacobi 行列を行方向に分割して並列に解く方針を採用した。旧来の実装では各プロセスがそれぞれ Jacobi 行列全体を構築し、行列解法部分のみ協業していたため、扱えるデバイスの規模は各プロセスが実行される計算ノードのメモリサイズで制限されていた。この制限を取り払うため、既存のソフトウェアの構造を大幅に変更することなく領域分割法を実装する新たな手法を開発した。すなわち、領域境界に適切にオーバーラップを設け、通信を抑えて Jacobi 行列を構築する手法を開発すると共に、領域分割法に基づいて各プロセスに分割後の部分領域を割当て、Jacobi 行列を分業で構築するソフトウェア (ELAI Matrix Builder) を新たに開発し、またオーバーラップ部分を適切に指定し、デバイス構造を破綻なく表現するファイルフォーマットを設計した。我々は既にこれらの詳細設計を終え、実装の検証工程に入ってる。

一方、高速行列解法として、並列行列解法 (ELAI solver) についても改良も進め、直接解法に加えて新たに並列反復解法を実装した。その際、TCAD の Jacobi 行列はその要素のレンジが指数的な広がりを持つことに着目し、新規に 2 段階前処理法を開発した。この結果、これまで用いていた前処理付き反復法から頑健性を大きく向上することに成功した。(下図)





現段階のアプローチは分割した領域からデバイス全体の Jacobi 行列を構築していることから、Schwartz 型の領域分割法と旧来の手法との中間に位置付けられる。今回開発した領域分割法は将来的な完全 Schwartz 型領域分割法を意識して設計されているが、今後、理論的検証の結果を基に性能評価を進める予定である。

また、理論的な面からは、マルチコア型スーパーコンピュータに対応するため、領域分割法 (Domain Decomposition Method (DDM)) と高速行列解法からなる計算手法を構築し、MPI/OpenMP 法によるハイブリッド並列化アルゴリズムを開発して、大阪大学の SX-ACE を用いて実証とその性能を評価している。反復手法を図 1 に示す。

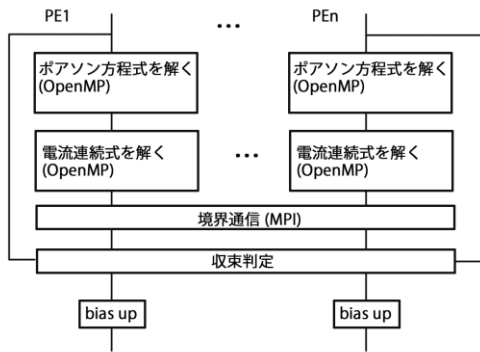


図 1. 並列領域分割法の反復手法

半導体デバイス方程式の解法は、ポアソン方程式、キャリアの連続方程式 (移流拡散方程式) を順に収束させる Gummel 反復法を用いている。一般に、定常問題や陰解法に領域分割法を適用すると、領域分割数の増大と共に、その反復回数の増大するために、メモリー分散は達成できても、並列化効率を向上させることはできない。半導体デバイス方程式の解法では、この自己無頓着解を求める Gummel 反復法と領域分割のための反復法とを兼ねることによって、並列化効率の向上を図っている。行列解法の並列化にあたっては、並列化の高い不完全分解を用いることを提案している。本手法では、分割作用素法 [1] (不完全 HV 分解あるいは、TF 法) と呼ばれる手法を用いた。ILU

分解を並列化するためには、なんらかのオーダリングの変更が必要であるが、分割作用素法は自然なオーダリングを適用でき、OpenMP によって容易に並列化できる。さらに、対称行列に対しては CG 加速を、非対称行列に対しては BiCGSTAB 法で加速している。

領域分割法に用いた Overlapping Schwartz 法では、シミュレーション領域  $\Omega$  を  $N$  個の部分領域に分割し、それぞれの部分領域では人工的な Dirichlet 境界条件を付加して解かれる。シングルプロセッサにおける計算の場合には、人工的な Dirichlet 境界条件は、block Gauss-Seidel 法または、block SOR 法により update される multiplicative Schwarz 法の適用が可能である。しかしながら、マルチプロセッサでは、人工的な Dirichlet 境界条件は、block Jacobi 法により update される additive Schwarz 法になる。このため、領域分割法の収束性は劣化し、半導体デバイス方程式系のような強非線形問題においては、収束性 vs 並列化効率の十分な評価が必要である。

今回、我々は Intra-node の並列化に対しては、分割作用素法を共役勾配法と BiCGSTAB 法とに組み合わせることによって、不完全分解部の並列化を実現した。分割作用素法では、行列  $A$  の不完全分解は次のようになる。

$$A \approx C = (D + A_x)D^{-1}(D + A_y),$$

ここで  $D$  は対角行列、 $A_x$ 、 $A_y$  は非対角行列であり、解  $Cz=r$  はブロック三角行列を  $x$ -方向、 $y$ -方向各々解いて行くことにより、容易に得られる今回に用いた MOS 構造のデバイスシミュレーション領域と分割方法を図 2 に示す。

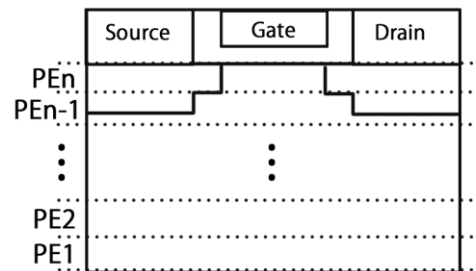


図 2. 2次元 MOSFET 構造の分割方法

シミュレーション領域全体のグリッド数は、28080(108×260)である。今回我々は、各分割領域が縦方向に並び、それぞれの領域のグリッド数が同じになるように、分割を行った。バイアス条件は、 $V_g=0.8V, V_d=0.6 \rightarrow 0.8V$  である。上記の hybrid MPI/OpenMP 法を用い大阪大学の NEC SX-ACE 上で計算を実行した。領域分割しない場合の各手法 (Gauss-Seidel, SOR, Jacobi 法) の収束の様子を図 3 に示す

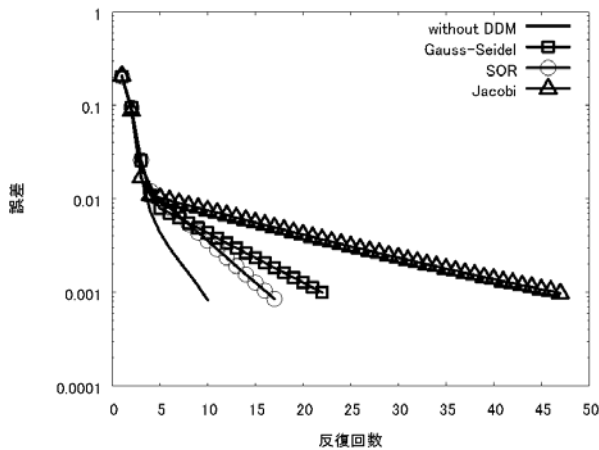


図 3. DDM 無しの場合の各手法の収束の違い

その結果、Gummel 法の反復回数は領域分割法の反復手法に強く依存することが示された。block Jacobi 法の場合収束する為には、領域分割をしない場合に比べて 4.5 倍多く、反復回数が掛かった。

また、オーバーラッピングメッシュ数と反復数の相関を示したものが図 4 である。

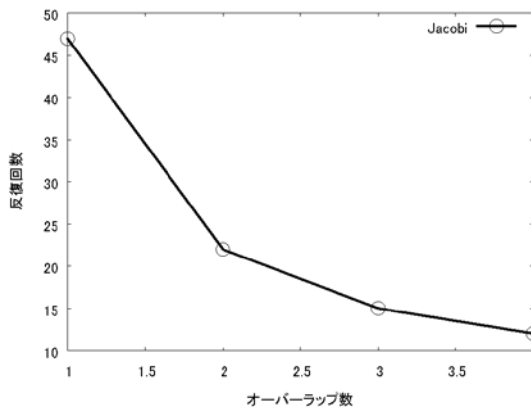


図 4. オーバーラッピング数と反復回数の違い

上図から判るように、オーバーラッピングメッシュ数が 2 以上になると急速に収束反復回数が減少する。また、図 5 に領域分割数と収束の振舞いを図示した。

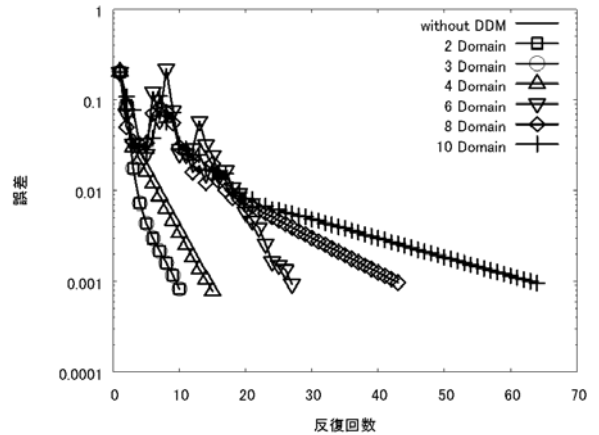


図 5. 領域分割数と収束反復回数の様子。

上図のように領域分割数が 6 以上になると収束反復数は急速に増加する。Gummel 反復数の増加は並列化の効果を減少させる事になる。

次に並列化による加速率を示す。

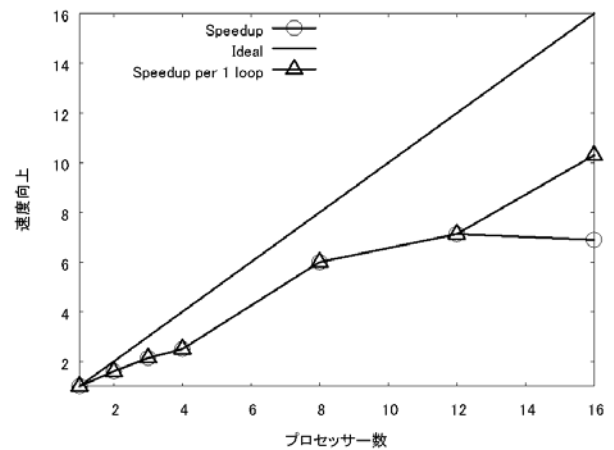


図 6 並列化による加速率とプロセッサ数の関係

内部ノード (コア数) が 4 の場合、加速率は分割作用素法の並列化に強く依存し、この場合、加速率 2.5 でニアに増加している。加速率は図 5 で述べた様に、7 で飽和している。16 コアを用いた場合のアムダール則による並列化率の値は 91% である。

以上結論として、領域分割法と高速行列解法を hybrid MPI/OpenMP によって並列化する手法を開発して、マルチコア型スーパーコンピュータに対応する半導体のドリフト拡散方程式の並列化を実現した。領域分割のための additive Schwarz 法は、その収束はオーバーラップメッシュ数と、分割領域数に大きく依存する。

## 参考文献

[1] S. Odanaka, and T. Nogi, "Massively parallel computation using a splitting-up operator method for three-dimensional device simulation," IEEE Trans. CAD of ICAS, vol. 14, no. 7, pp. 824-832, July 1995.

## 6. 今年度の進捗状況と今後の展望

### 当初研究計画

使用するソフトウェアは、日本半導体メーカーが参画する研究開発コンソーシアムで研究開発してきた 3 次元デバイスシミュレータ DeLEOS であり、3D 有限体積法をベースとしている。現在 PC クラスタで動作するソースコードを開発済みであり、

(1) 2014/4 :

- ・ PC クラスタ用ソースコードの移植・動作チェック

(2) 2014/5~7 :

- ・ PC クラスタ上での行列分割による高速化・収束性のテスト・評価
- ・ PC クラスタ上での領域分割による高速化・収束性のテスト・評価
- ・ SX 9 への移植 (ベクトル化)

(3) 2014/8~9 :

- ・ PC クラスタ上での性能・限界の解析と理論的研究
- ・ SX 9 での高速化・収束性のテスト・評価

(4) 2014/10~12 :

- ・ 次期スパコンへの移植
- ・ 領域分割等新規アルゴリズムの研究・開発

(5) 2015/1~3 :

- ・ 次期スパコンでの性能評価
- ・ PC クラスタ・スパコン等を用いた種々の手法の比較と理論的解釈・まとめを予定していた。

しかし、半導体理工学研究センターのプログラムのサイバーメディアセンターへの移植に関しては、旧 PC クラスタは OS も古く (SUSE v10)、各種コマンド自体のバージョンも古く動作しないものがあつたので、他の OS (RedHat Linux v5. 5, v6. X) で行う通常のコmpイル・リンク操作では動作せず、環境の大幅な更新が必要となることが予想され、予定通りには行かないことが判明した。

また、SX に関しても、動的ライブラリは使えず、全て静的ライブラリを使うようなコードへの書き換えが必要であり、さらに使える MPI ライブラリも DeLEOS で標準的に用いている OpenMPI は使うことができず、SX 独自の SX MPI を使わなければならないなど特異性が強く、また、全体で 210 万行を超え、しかも大部分が C++ で書かれた大規模なプログラムを短期間で移植・完全動作させることは困難度が非常に高く、移植に長期間掛ることが判明した。

そこで、DeLEOS の SX-ACE への移植は断念し、DeLEOS に関しては、東工大の Tsubame での実行を行う事に計画を変更した。しかし、理論面の解析に用いる、半導体シミュレーションプログラム (同一モデル) は、SX-ACE 上で作成し、それを用いた領域分割法の収束性実証の研究を推し進めた。

**課題申請時に設定した今年度の研究計画に対する自己評価と将来展望**

課題申請時に設定した研究計画の要点は、

- (1) 電場内の移流拡散現象で強非線形問題となる電子輸送シミュレーションの収束性 vs 並列化効率の研究。
- (2) 各種並列化の手法から、最適な並列化演算の研究。
- (3) 性質の異なる複数の連立方程式（ポアソン、電子、及び正孔の保存則、熱、回路）すなわち、これらの連理る方程式の Newton 法から構成される大規模 Jacobi 行列の一括解法の研究。
- (4) 桁落ちをふせぐための多倍長計算の高速計算技術。

の 4 項目であった。(1) ~ (3) には、これらを考慮した、分散処理による並列化により、高速化を達成できたと考えている。また、(4) の多倍長計算に関してはリソースの面から、一部のソルバーのみのテストに留まり、デバイスシミュレータへ組み込んだ形での全体的な手法として取り入れることは実現出来なかった。

また、領域分割に関しては、理論的な面からの研究から得られた幾つかの新しい知見をも取り入れ、大規模・大領域半導体デバイスシミュレータに適用可能な領域分割法の新たな実装手法を開発した。また、領域分割法と高速行列解法を hybrid MPI/OpenMP によって並列化する手法を開発して、当初計画通りマルチコア型スーパーコンピュータ SX-ACE での評価を得ることができた。大規模・大領域半導体デバイスシミュレーションでの計算結果に対しては、当初計画を変更して、東工大の Tsubame を用いて行なったが、大規模・大領域半導体デバイスシミュレーションでの計算結果の評価解析はさらに必要であると考えている。

この研究期間が終わった後も、領域分割法 (Domain Decomposition Method (DDM)) の収束性実証の研究を推し進め、得られたアルゴリズムの

実装を完成させ、大規模・大領域半導体デバイスシミュレーションの実現を目指したいと考えている。

## 7. 研究成果リスト

### (1) 学術論文

S. Sho, S. Odanaka and A. Hiroki, "A Fermi-Dirac statistics based quantum energy transport model for high mobility MOSFETs," J. Adv. Simulation in Science and Engineering, in Press, 2015.

### (2) 国際会議プロシーディングス

S. Sho, S. Odanaka, and A. Hiroki, "A Simulation study of short channel effects with a QET model based on Fermi-Dirac statistics for Si, Ge and III-V MSFETs", Proceedings of First joint international EUROSOI and ULIS Conference, pp. 229-232, Bologna, 2015.

### (3) 国際会議発表

無し

### (4) 国内会議発表

・松澤 一也、小田 嘉則、小町 潤、伊藤 浩之、石川 清志 “新構造デバイス回路混合解析”、応用物理学会 シリコンテクノロジー分科会、No. 174, p31, July, 2014

・松澤 一也、阿部 真利、小田 嘉則、小町 潤、伊藤 浩之、秋山 豊 “簡易 SBD モデルによるデバイス回路混合シミュレーション”、第 62 回応用物理学会 春季学術講演会、March, 2015

### (5) その他 (特許, プレス発表, 著書等)

・半導体理工学研究センター “大規模・大領域 TCAD への HPC 応用技術の開発”、平成 26 年 Tsubame 産業利用シンポジウム、2014 年 10 月